

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing (day/month/year) 06 December 2000 (06.12.00)	
International application No. PCT/JP00/02512	Applicant's or agent's file reference ROO2-PCT
International filing date (day/month/year) 17 April 2000 (17.04.00)	Priority date (day/month/year) 22 April 1999 (22.04.99)
Applicant SEKI, Hajime	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
20 November 2000 (20.11.00)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Maria Kirchner Telephone No.: (41-22) 338.83.38
---	--

THIS PAGE BLANK (USPTO)

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 09 FEB 2001

WIPO PCT

出願人又は代理人 の書類記号 R002-PCT	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JP00/02512	国際出願日 (日.月.年) 17.04.00	優先日 (日.月.年) 22.04.99
国際特許分類(IPC) Int.Cl ⁷ G06F9/34, G06F9/38		
出願人(氏名又は名称) 関 一		

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で ページである。

- この国際予備審査報告は、次の内容を含む。
 - ☒ 国際予備審査報告の基礎
 - ☐ 優先権
 - ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - ☐ 発明の単一性の欠如
 - ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ ある種の引用文献
 - ☐ 国際出願の不備
 - ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 20.11.00	国際予備審査報告を作成した日 25.01.01	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 伊知地 和之 電話番号 03-3581-1101 内線	5B 9291

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT 14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT 19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK (U8PTD)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1 - 8	有
	請求の範囲		無
進歩性 (IS)	請求の範囲	1 - 8	有
	請求の範囲		無
産業上の利用可能性 (IA)	請求の範囲	1 - 8	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

請求の範囲 1 - 8

文献1: JP, 63-293639, A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 30. 11月. 1988 (30. 11. 88)

全文, 第1-4図

には、当該技術分野の一般的技術水準を示す文献として、M個の順序正しくないフェッチのアドレスを保持するためのN個のエントリを有するスタック、及び該スタック内のアドレスをこれが表す命令と関連させると共に、該命令が適正な順序で処理されるときにそのアドレスを削除するための手段を備えたデジタル・コンピュータが記載されているが、オペランド・スタックに対するポップ操作を含む命令がデコードされた場合には、ポップすべき語数と同じ数だけ統合レジスタ・ファイルのエントリのアドレスを前進ポインタ・スタックからポップし、オペランド・スタックに対するプッシュ操作を含む命令がデコードされた場合には、プッシュすべき語数と同じ数だけ割り付けられていない前記統合レジスタ・ファイルのエントリを割り付け、該割り付けた統合レジスタ・ファイルのエントリのアドレスを前記前進ポインタ・スタックにプッシュする技術に関しては、国際調査報告で列記した文献、および国際予備審査報告にて新たに引用された文献1のいずれにも、記載も示唆もされていない。

THIS PAGE BLANK (USPTO)



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference R002-PCT	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/02512	International filing date (day/month/year) 17 April 2000 (17.04.00)	Priority date (day/month/year) 22 April 1999 (22.04.99)
International Patent Classification (IPC) or national classification and IPC G06F 9/34, 9/38		
Applicant SEKI, Hajime		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet. <input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of _____ sheets.
3. This report contains indications relating to the following items: I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 20 November 2000 (20.11.00)	Date of completion of this report 25 January 2001 (25.01.2001)
Name and mailing address of the IPEA/JP Facsimile No.	Authorized officer Telephone No.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/02512

I. Basis of the report

1. With regard to the **elements** of the international application:*

- ☒ the international application as originally filed
- ☐ the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the claims:
 pages _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the drawings:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/02512

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-8	YES
	Claims		NO
Inventive step (IS)	Claims	1-8	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-8	YES
	Claims		NO

2. Citations and explanations

Claims 1-8

Document 1: JP, 63-293639, A (International Business Machines Corporation), 30 November, 1988 (30.11.88), full text, Figs. 1-4

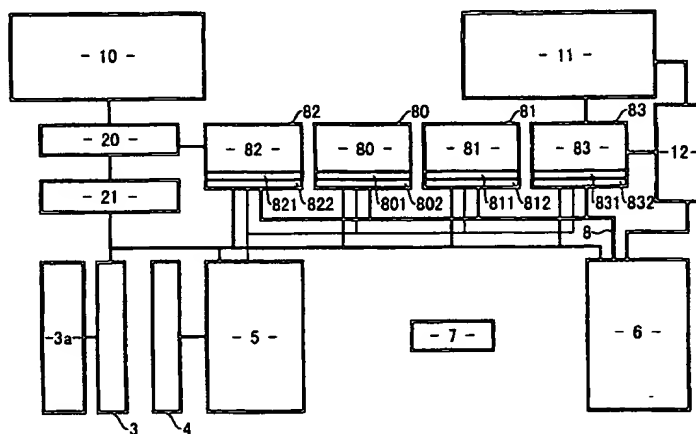
describes, as a document indicating the general state of the art in the technical field concerned, a digital computer including a stack having N entries for holding M out-of-order fetch addresses, and a means for correlating an address in the stack to an instruction represented by the address and for deleting the address when the instruction is processed in the correct order. Nevertheless, as to the art of popping the same number of addresses of entries in an integrated register file from the forward pointer stack as the number of words to be popped when an instruction containing a pop operation to the operand stack is decoded, assigning the same number of unassigned entries in the integrated register file as the number of words to be pushed when an instruction including a push operation to the operand stack is decoded, and of pushing the addresses of the assigned entries of the integrated register file to the forward pointer stack, is neither described nor suggested in both the documents cited in the ISR and document 1 newly cited in the IPER.

THIS PAGE BLANK (USPTO)



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 G06F 9/34, 9/38	A1	(11) 国際公開番号 WO00/65435 (43) 国際公開日 2000年11月2日(02.11.00)
(21) 国際出願番号 PCT/JP00/02512 (22) 国際出願日 2000年4月17日(17.04.00) (30) 優先権データ 特願平11/115047 1999年4月22日(22.04.99) JP (71) 出願人；および (72) 発明者 関 一(SEKI, Hajime)[JP/JP] 〒790-0848 愛媛県松山市道後喜多町4番38号 Ehime, (JP)		(81) 指定国 AU, BG, BR, CA, CN, CU, CZ, HU, ID, IL, IN, IS, JP, KR, MX, NO, NZ, PL, SG, SK, TR, UA, US, VN, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM) 添付公開書類 国際調査報告書

(54) Title: COMPUTER SYSTEM**(54) 発明の名称** 計算機システム**(57) Abstract**

A computer system for executing at high speed a program written in a machine language of a stack machine. Each time an instruction is decoded, a forward pointer stack and an integrated register file are operated according to the content of the instruction, and the content of the instruction is written in an instruction buffer and, if necessary, a free reservation station of an appropriate function unit. An unexecuted instruction held in an instruction buffer is processed in an out-of-order way. The instruction held at the first entry of the instruction buffer can be completed. Alternatively, if so, according to the content of the first entry of the instruction buffer, a completion pointer stack is operated to reenact the operation of the forward pointer stack of when the held instruction is decoded, and the first entry of the instruction buffer is eliminated from the instruction buffer.

(57)要約

スタックマシンの機械語で記述されたプログラムを高速で処理する計算機システムであって、命令がデコードされるごとに、その命令の内容に応じて前進ポインタ・スタック及び統合レジスタ・ファイルを操作すると共にその命令の内容を命令バッファ及び、必要な場合には、適切な機能ユニットの空いているリザーベーション・ステーションに書き込むようになっている。命令バッファに保持されている未実行の命令は、out-of-orderで処理されるようになっている。

命令バッファの先頭のエントリにおいて保持されている命令の完了が可能である、あるいはそうなると、その命令バッファの先頭のエントリの内容に基づき、保持されている命令がデコードされた際の前進ポインタ・スタックの動作を再現すべく完了ポインタ・スタックを操作し、命令バッファからその先頭のエントリを除外するようになっている。

PCTに基づいて公開される国際出願のパフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノールウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

計算機システム

技術分野

本発明は、スタックマシンの機械語で記述されたプログラムを高速で
5 処理する新規な構成の計算機システムに関するものである。

背景技術

従来、スタックマシンにおいては、命令の実行は、基本的にプログラム上の順序通り（in-order）に行われるものであった。すなわち、スタックマシンにおける演算命令は、オペランド・スタックからソース・データ
10 をポップし、演算を実行し、その演算結果をオペランド・スタックにプッシュするというような動作を指示するものであるが、このような命令の連鎖として書かれたプログラムを逐次的に実行するのである。

このような従来のスタックマシンにおいては、命令をプログラム上の順序通り（in-order）に実行するので、制御構造が単純なもので済むという利点があるが、処理速度が制約を受けるという問題点があった。
15

そこで、スタックマシンの機械語で記述されたプログラムを out-of-order で処理するような計算機方式が考案された。例えば、日本特公平 2-260082 号、米国特許第 5522051 号や、米国特許第 5333320 号及び米国特許第 5765014 号におけるプロセッサ
20 要素がある。これらの明細書に示されるプロセッサは、処理性能の向上という点で十分ではない上に、正確な例外処理を保証する上で問題があった。

本発明は、上記問題点を解決するため創案されたものであり、正確な

例外処理を保証しつつ、スタックマシンの機械語で記述されたプログラムを out-of-order でより効率的に処理する計算機システムを提供することを目的としている。

5 発明の開示

本発明による計算機システムは、データ・キャッシュと、データ・バッファと、各々のエントリにデータが書き込まれるようになっている統合レジスタ・ファイルと、各々のエントリに統合レジスタ・ファイルのエントリのアドレスが書き込まれるようになっている前進ポインタ・スタック及び完了ポインタ・スタックと、各々のエントリに個々の命令の内容が書き込まれるようになっている F I F O キューの構成となっている命令バッファと、演算を実行するようになっている演算ユニットとデータ・バッファ及びデータ・キャッシュにアクセスできるようになっているロード／ストア・ユニットを含む機能ユニット群と、統合レジスタ・ファイル及び機能ユニット群の間でデータを統合レジスタ・ファイルのエントリのアドレスと共に分配するようになっている共通データ・バスとを具備する。上記機能ユニットの各々は、適当な数のリザーベーション・ステーションを備える。

従来のスタックマシンにおいて、スタックが, word1, word2, word3, word4 (右端がスタックトップ) となっている状態は、本発明による計算機システムにおいて、ポインタ・スタックが, 〈a〉, 〈b〉, 〈c〉, 〈d〉 (右端がスタックトップ) で、エントリ・アドレスが 〈a〉, 〈b〉, 〈c〉 及び 〈d〉 である統合レジスタ・ファイルの各エントリに、それぞれ word1, word2, word3 及び word4 が保持されている状態に対応する。

本発明の計算機システムにおいては、命令がデコードされるごとに、

命令の内容に応じて前進ポインタ・スタック及び統合レジスタ・ファイル
を操作すると共に、命令の内容を命令バッファ及び、必要な場合には、
適切な機能ユニットの空いているリザーベーション・ステーションに書き
込むようになっている。この際、命令に規定されているオペランド・ス
5 タックに対するスタック操作が、前進ポインタ・スタックに対して同様
に適用される。ここで、1語のデータのオペランド・スタックへのプッ
シュ操作を、本発明の計算機システムにおいてエミュレートするには、
そのデータを保持すべく統合レジスタ・ファイルの空いている1エント
リを割り付け、そのエントリのアドレスを前進ポインタ・スタックにプ
10 ッシュすればよい。

即ち、デコードされた命令においてオペランド・スタックに対するポ
ップ操作が規定されている場合には、ポップすべき語数と同じ数だけ統
合レジスタ・ファイルのエントリのアドレスを前進ポインタ・スタックか
らポップする。デコードされた命令においてオペランド・スタックに対
15 するプッシュ操作が規定されている場合には、プッシュすべき語数と同
じ数だけ統合レジスタ・ファイルの空いているエントリを割り付け、上
記割り付けた統合レジスタ・ファイルのエントリのアドレスを前進ポイ
ンタ・スタックにプッシュする。さらに、デコードされた命令の内容を、
ポップ／プッシュ操作を伴う命令の場合にはポップ／プッシュされる統
20 合レジスタ・ファイルのエントリのアドレスと共に、命令バッファに書
き込むようになっている。機能ユニットによる実行の必要な命令の場合
には、命令バッファに書き込まれる命令の内容を、適切な機能ユニット
の空いているリザーベーション・ステーションにも書き込むようになって
いる。

25 前進ポインタ・スタックからエントリ・アドレスがポップされる統合レ
ジスタ・ファイルのエントリの各々の内容が読み出され、データが既に

書き込まれている場合には、後で、エントリ・アドレスとデータが共通データ・バスに載せられるようになっている。

リザベーション・ステーションに書き込まれた命令に関して、原則として次のような動作が順次行われる。各々のリザベーション・ステーションで、そこに書き込まれているソース・データを保持すべき統合レジスタ・ファイルのエントリのアドレスと共通データ・バスを通じて送られてくるものが比較され、一致すればデータが取り込まれる。必要なソース・データが揃った後に、その命令の実行が開始される。デコードの際前進ポインタ・スタックに統合レジスタ・ファイルのエントリのアドレスがプッシュされるような命令の場合、機能ユニットでの実行の結果得られたデータを該プッシュされた統合レジスタ・ファイルのエントリのアドレスと共に共通データ・バスに載せる。統合レジスタ・ファイルにおいては、共通データ・バスを通じて送られてくる内容に基づきデータの書き込みを行う。

命令バッファにおけるキューの先頭のエントリに保持されている命令の完了が可能である、あるいはそうなりと、そのキューの先頭のエントリの内容に基づき、保持されている命令がデコードされた際の前進ポインタ・スタックの動作を再現すべく完了ポインタ・スタックを操作し、キューからその先頭のエントリを除外し、ポップ操作によって完了ポインタ・スタックにおけるアドレスの保持が無くなった統合レジスタ・ファイルのエントリの割り付けを解除するようになっている。

図面の簡単な説明

第1図は、本発明にかかる好ましい計算機システムの基本構成を示すブロック図、第2図は、前進ポインタ・スタック及び完了ポインタ・スタックの構成を示す図、第3図は統合レジスタ・ファイルの各々のエン

りの詳細な構成を示す図、第4図は、命令バッファの構成を示す図、第5図は、命令バッファの各々のエントリの詳細な構成を示す図、第6図～第14図は、本発明の一実施例における一動作例の、サイクル毎の前進ポインタ・スタック、完了ポインタ・スタック、命令バッファ及び統合レジスタ・ファイルの内容を具体的に示した説明図、第15図は、本発明の計算機システムが1サイクル当り2命令までデコードできるような構成をとる場合に、プログラムがどのように変換されるかを具体的に示す図表である。

10 発明を実施するための最良の形態

以下に、本発明にかかる好ましい計算機システムについて、図面を参照しながら説明する。なお、以下に述べる本発明による計算機システムの実施例は、Java Virtual Machine (Java VM) で規定されるスタックマシンの基本的な命令をハードウェアで実行するものである。すなわち、データ語長を32ビットとして、これを単位にロード／ストア及び算術論理演算等の演算を行う。従って、例えば、倍長語の間での算術演算は、2語ずつ合せて4語のソース・データをもとに2語の演算結果を生ずる。

従来のスタックマシンにおける、語の単位でデータがプッシュ／ポップされるようになっているスタックは、後述するポインタ・スタックと区別するために、以降では、ワード・スタックと呼ぶことにする。

Java VM においては、ワード・スタックには、メソッドが呼び出されるごとにフレームが積まれる。各フレームで、下部はローカル変数やパラメータの格納域、上部はオペランド・スタックとなっている。

Java VM にはもともとハードウェアで実行することを想定していない複雑な命令が含まれるが、以下に述べる本発明による計算機システムの実施例は、次のような基本的な命令をハードウェアで実行するものとす

る。

(a) 即値データのオペランド・スタックへのプッシュ命令

bipush, sipush, aconst_null, iconst_m1, iconst_<i>, fconst_<f>, lconst_<l>, dconst_<d>

5 (b) 変数データのオペランド・スタックへのロード命令

ldc1, ldc2, iload, iload_<n>, fload, fload_<n>, aload, aload_<n>, ldc2w, lload, lload_<n>, dload, dload_<n>, iaload, laload, faload, daload, aaload, baload, caload, saload

(c) オペランド・スタック上のデータの変数へのストア命令

10 istore, istore_<n>, fstore, fstore_<n>, astore, astore_<n>, lstore, lstore_<n>, dstore, dstore_<n>, iastore, lastore, fastore, dastore, aastore, bastore, castore, sastore

(d) 演算命令

(d-1) 算術演算命令

15 iadd, ladd, fadd, dadd, isub, lsub, fsub, dsub, imul, lmul, fmul, dmul, idiv, ldiv, fdiv, ddiv, irem, lrem, frem, drem, ineg, lneg, fneg, dneg

(d-2) 論理演算命令

ishl, ishr, iushr, lshl, lshr, lushr, iand, land, ior, lor, ixor, lxor

(d-3) 変換演算命令

20 i2l, i2f, i2d, l2i, l2f, l2d, f2i, f2l, f2d, d2i, d2l, d2f, int2byte, int2char, int2short

(d-4) 比較演算命令

lcmp, fcmpl, fcmpg, dcmpl, dcmpg

(e) オペランド・スタックの操作命令

pop, pop2, dup, dup2, dup_x1, dup2_x1, dup_x2, dup2_x2, swap

25 (f) 分岐命令

ifeq, ifnull, iflt, ifle, ifne, ifnonnull, ifgt, ifge, if_icmpeq, if_icmpne, if_icmplt,

if_icmpgt, if_icmple, if_icmpge, goto, goto_w

以降、特にことわらない限り、「命令」とは上に挙げた命令のいずれかを意味するものとする。

第1図は計算機システムのブロック図であって、10は命令キャッシュ、11はデータ・キャッシュ、12はデータ・バッファ、20は命令フェッチ・ユニット、21は命令デコード・発行ユニット、3は前進ポインタ・スタック、3aは前進ポインタ・スタック履歴ファイル、4は完了ポインタ・スタック、5は命令バッファ、6は統合レジスタ・ファイル、7はフリー・リスト、8は共通データ・バス、80及び81は各々演算ユニット0及び1、82は分岐ユニット、83はロード／ストア・ユニット、801, 802, 811, 812, 821, 822, 831及び832はリザベーション・ステーションを表している。

次に、本発明実施例の計算機システムの各構成要素ごとにその詳細な構成を説明する。

15 (A) 命令フェッチ・ユニット

命令フェッチ・ユニットは、図示していないプログラムカウンタ (pc レジスタ) を具備しており、命令キャッシュから命令をフェッチし、命令デコード・発行ユニットに渡すようになっている。分岐の予測や分岐の実行も担う。

20 (B) 命令デコード・発行ユニット

命令デコード・発行ユニットは、命令フェッチ・ユニットから渡された命令のデコードを行い、プログラムに含まれる命令が out-of-order で実行されるように、後述する前進ポインタ・スタック、命令バッファ及び統合レジスタ・ファイル等を設定するための各種信号を発生するようになっている。

25 (C) ポインタ・スタック

ポインタ・スタックは、各々のエントリに統合レジスタ・ファイルのエントリのアドレスが書き込まれるようになっているレジスタ・ファイルで構成されている。

従来のスタックマシンにおいて、ワード・スタックが, word1, word2, word3, word4 (右端がスタックトップ) となっている状態は、本発明による計算機システムにおいて、ポインタ・スタックが, 〈a〉, 〈b〉, 〈c〉, 〈d〉 (右端がスタックトップ) で、エントリ・アドレスが 〈a〉, 〈b〉, 〈c〉 及び 〈d〉 である統合レジスタ・ファイルの各エントリに、それぞれ word1, word2, word3 及び word4 が保持されている状態に対応する。

本発明の計算機システムは、前進ポインタ・スタック (A P S ; Advanced Pointer Stack) と完了ポインタ・スタック (C P S ; Completed Pointer Stack) の2つのポインタ・スタックを具備する。

本発明の計算機システムにおいては、命令がデコードされるごとに、命令の内容に応じて前進ポインタ・スタック (以下ではA P S と記す) 及び統合レジスタ・ファイルを操作すると共に、命令の内容を命令バッファ及び、必要な場合には、適切な機能ユニットの空いているリザーベーション・ステーションに書き込むことにより、プログラムに含まれる命令が out-of-order で実行されるべく設定される。すなわち、前進ポインタ・スタックはデコード・発行済みの全ての命令によるスタック操作を反映している。

他方、完了ポインタ・スタック (以下ではC P S と記す) は、プログラム上の順番で完了済みの全ての命令によるスタック操作を反映するものである。本発明の計算機システムはデータ駆動の原理に基づく out-of-order 実行を可能とするものであるが、完了ポインタ・スタックは、正確な例外処理を保証するため、in-order で完了済の全ての命令に基づ

く状態を構成するために存在するものである。

本発明実施例の計算機システムにおいては、ポインタ・スタック及び統合レジスタ・ファイルによって、ワード・スタックの一番上に積まれたフレームの上部のオペランド・スタックの内容のみが保持されるようになっている。ワード・スタックの残りの部分はデータ・バッファ及びデータ・キャッシュに格納されるようになっている。また、オペランド・スタックが成長して、その全内容をポインタ・スタック及び統合レジスタ・ファイルで保持しきれなくなると、後述するように、オペランド・スタックの下部の内容がデータ・バッファに Spill されるようになっている。

各ポインタ・スタックは循環型のバッファの構成となっており、プッシュ・ポインタとボトム・ポインタと呼ぶ2つのレジスタが各々存在する。プッシュ・ポインタは、統合レジスタ・ファイルのエントリのアドレスを保持する最上位のエントリの1つ上を示す。ボトム・ポインタは、統合レジスタ・ファイルのエントリのアドレスを保持する最下位のエントリを示す。ボトム・ポインタの値からプッシュ・ポインタの値を引くことで、ポインタ・スタックに何エントリの空きがあるかがわかる。初期状態においては、プッシュ・ポインタ及びボトム・ポインタの各々の値は共に0となっている。

第2図は、本実施例の計算機システムにおける、各ポインタ・スタックと各プッシュ・ポインタ及びボトム・ポインタの関係を示す説明図である。2つのポインタ・スタックAPS3及びCPS4は同数のエントリを有し、各ポインタ・スタックで各々のエントリに下から順に0、1、2、...とアドレスが付けられているものとする。縦線が施されているエントリは統合レジスタ・ファイルのエントリのアドレスを保持しているものとする。第2図に示すように、プッシュ・ポインタは、APS及びCPSの各々に対して設けられており、それぞれPP_OF_APS及び

PP_OF_CPS と名付けている。他方、ボトム・ポインタは1つだけ設けられており、これがAPS及びCPSで共用される。これをBP_OF_PS と名付けている。

5 APSとCPSの間には、エントリの数だけ比較回路が設けられており、APS及びCPSの同じエントリ・アドレスにある（第2図において水平に並ぶ）エントリの間でその内容が比較されるようになっている。

命令のデコード・発行の際、命令に規定されているオペランド・スタックに対する1語分のプッシュ操作に対応して、割り付けられる統合レジスタ・ファイルの1エントリのアドレスをAPSのPP_OF_APSで示される
10 エントリに書き込み、PP_OF_APSの値に1を加えるようになっている。逆に、命令に規定されているオペランド・スタックに対する1語分のポップ操作に対応して、PP_OF_APSの値から1を引くようになっている。命令の完了の際のCPSとPP_OF_CPSの動作に関しても同様である。

15 BP_OF_PSで示されるエントリの内容がAPSとCPSで一致する場合には、その一致する内容で示される統合レジスタ・ファイルのエントリに書き込まれている1語分のデータをデータ・バッファにSpillすることができる。その際、BP_OF_PSの値に1を加えるようになっている。逆に、データ・バッファから統合レジスタ・ファイルに1語分のデータを
20 Fillするには、データ・バッファからFillすべき1語分のデータを取り出し、それに空いている統合レジスタ・ファイルの1エントリを割り付けてそのデータを書き込み、その統合レジスタ・ファイルのエントリのアドレスをAPS及びCPSのBP_OF_PSで示されるエントリの1つ下に各々書き込み、BP_OF_PSの値から1を引くようになっている。

25 本実施例の計算機システムは、分岐予測に基づく投機的実行を可能にするために、前進ポインタ・スタック履歴ファイル（以下では「APS

履歴ファイル」と記す)を具備する。APS履歴ファイルの各々のエントリには、APSの全エントリ及びPP_OF_APSの内容が書き込めるようになっている。

(D) 統合レジスタ・ファイル (CRF ; Consolidated Resister File)

- 5 統合レジスタ・ファイル (以下ではCRFと記す) は、従来のスタックマシンにおけるオペランド・スタックの内容を、順序不同で保持するものである。

第3図は、本実施例の計算機システムにおける、CRF 6の各々のエントリ 6 (i)の詳細な構成を示す説明図である。ここで、iはエントリ
10 のアドレスである。CRF 6の各々のエントリ 6 (i)はデータ・フィールド 6 1 (i)、書込み完了フラグ (WCF, Write Completion Flag) フィールド 6 2 (i)、カラー (C, Colour) フィールド 6 3 (i)及びビジービット (BB) フィールド 6 4 (i)から成っている。

実際のCRFのハードウェア上の構成は、上述の各フィールド別に設
15 けられたレジスタ・ファイルの集合体である。

CRFの各々のエントリのデータ・フィールドは、1語分のデータが書き込まれる構成となっている。

CRFの各々のエントリにおいて、WCFフィールドは、データ・フィールドにデータの書き込みが完了していれば1、完了していなければ
20 0が書き込まれているようになっている。

CRFの各々のエントリにおいて、Cフィールドは、そのCRFのエントリが、命令に含まれるプッシュ操作に対応して割り付けられたものであるのか、データ・バッファからのFillの際に割り付けられたものであるのかの区別、前者の場合にはさらに分岐タグが書き込まれるようになっている。本実施例においては、後述するように、分岐タグはAPS
25 履歴ファイルのエントリのアドレスと一定の関係にある。

CRFの各々のエントリにおいて、BBフィールドは、そのCRFのエントリがデータを保持すべく割り付けられている状態であれば1、割り付けられていない（空いている）状態であれば0が書き込まれているようになっている。

5 (E) フリー・リスト (FL)

フリー・リスト（以下ではFLと記す）は、フリーな、即ち、空いている／割り付けられていない（BBフィールドが0である）CRFのエントリのアドレスを保持するもので、本実施例においては、循環型のFIFOキューの構成となっている。

10 初期状態においては、CRFの全てのエントリのアドレスがFLに登録されている。空いているCRFのエントリを割り付ける必要がある場合に、FLからフリーなCRFのエントリのアドレスが取り出される。逆に、CRFのあるエントリの割り付けが解除されれば、そのエントリのアドレスがFLに登録されるようになっている。

15 (F) 命令バッファ (IB ; Instruction Buffer)

命令バッファ（以下ではIBと記す）は、未完了の発行済命令を保持するバッファであり、循環型のFIFOキューの構成となっている。

第4図は、IBの構成を示す説明図である。第4図において、IB5の各々のエントリは下から順に0、1、2、・・・とアドレスが付けられているものとし、縦線が施されているIB5のエントリは、未完了の発行済命令を保持しているものとする。IBは、ヘッダ・ポインタとトレイル・ポインタと名付けた2つのレジスタを具備する。ヘッダ・ポインタはキューの先頭のエントリを、トレイル・ポインタはキューの末尾のエントリの1つ後を示す。1サイクル当たり1命令までしか発行／完了を行わないものとするれば、トレイル・ポインタは次に発行される命令の内容を書き込むべきエントリを示し、ヘッダ・ポインタは次に完了される

20

25

べき命令の内容が書き込まれているエントリを示す。ヘッダ・ポインタの値からトレイル・ポインタの値を引くことで、IBに何エントリの空きがあるかがわかる。初期状態においては、ヘッダ・ポインタ及びトレイル・ポインタの値は共に0となっている。

- 5 第5図は、本実施例の計算機システムにおける、IB5の各々のエントリ5(i)の詳細な構成を示す説明図である。ここで、iはエントリのアドレスである。IB5の各々のエントリ5(i)はオペレーション・フィールド50(i)、オペランド・フィールド51(i)、第1ソース・フィールド52(i)、第2ソース・フィールド53(i)、第3ソース・フィールド54(i)、第4ソース・フィールド55(i)、第1デスティネーション・フィールド56(i)、第2デスティネーション・フィールド57(i)、分岐タグ(BT)フィールド58(i)、及び実行状態(S; State)フィールド59(i)から成っている。

- 15 IBの各々のエントリのオペレーション・フィールドはオペレーション・コードが書き込まれる構成となっている。

IBの各々のエントリのオペランド・フィールドは、オペレーション・コードに続いてオペランドが示されるような命令の場合に、このオペランドが書き込まれるようになっている。

- 20 IBの各々のエントリの第1～第4ソース・フィールドの各々は、ソース・データを保持すべく割り付けられているCRFのエントリのアドレスが書き込まれるようになっている。ポップ操作を含む命令がデコードされた場合には、ポップすべき語数と同じ数だけAPSからポップされるCRFのエントリのアдресが、その順で第1～第4ソース・フィールドに書き込まれるようになっている。

- 25 IBの各々のエントリの第1～第2デスティネーション・フィールドの各々は、命令のデコード・発行に伴い、新たに割り付けられるCRF

のエントリのアドレスが書き込まれるようになっている。プッシュ操作を含む命令がデコードされた場合には、プッシュすべき語数と同じ数だけA P SにプッシュされるC R Fのエントリのアドレスが、その順で第1～第2デスティネーション・フィールドに書き込まれるようになっている。

I Bの各々のエントリのB Tフィールドは、分岐予測に基づく投機的実行に係るもので、本実施例においては、後述するように、B Tフィールドに書き込まれる分岐タグはA P S履歴ファイルのエントリのアドレスと一定の関係にある。

I Bの各々のエントリにおいて、Sフィールドは、そのエントリに書き込まれている命令の実行状態に応じて、未実行、実行済み、正常終了、例外事象発生等の情報が書き込まれているようになっている。

(G) 共通データ・バス (C D B ; Common Data Bus)

共通データ・バス (以下ではC D Bと記す) は、後述する機能ユニット群及びC R Fの間で、データをC R Fのエントリのアドレスと共に分配する通信チャネルである。C D Bは、十分なデータ通信バンド幅が確保できるように、多重化されている。

(H) 機能ユニット

本実施例の計算機システムは、演算ユニット0及び1、分岐ユニット及びロード／ストア・ユニットの4つの機能ユニットを具備する。本実施例においては、各機能ユニットは、基本的に、2つのリザベーション・ステーションと割り当てられた命令を処理する実行部で構成される。

リザベーション・ステーション (以下ではR Sと記す) は、命令の内容を一時的に保持するバッファであるが、本実施例の計算機システムにおいては、命令のデコードの際に、同じ命令の内容が書き込まれるI Bのエントリのアドレスも書き込まれるような構成となっている。

命令のデコードの際に、命令の種類に応じて、必要な場合に、適切な機能ユニットの空いているRSに書き込みが行われるようになっている。

5 各機能ユニットの各々のRSで、そこに書き込まれているソース・データを保持すべきCRFのエントリのアドレスとCDBで送られてくるものが比較され、一致すればデータが取り込まれるようになっている。

命令の内容を保持しているRSにおいて、必要なソース・データが揃い、機能ユニットの実行部が利用可能であれば、当該RSの内容は実行部に渡され、その実行が開始されるようになっている。

10 (H-1) 演算ユニット

本実施例の計算機システムは、演算ユニット0及び演算ユニット1を具備しており、その各々の実行部は算術論理演算、データ・タイプの変換演算、比較演算等の演算命令を実行する機能を有し、互いに独立に並行して動作することができるようになっている。

15 本発明の計算機システムにおいては、各々の演算ユニットの実行部をパイプライン化したり、より多くの演算ユニットを具備したり、演算ユニットごとに実行する演算の種類を特定した構成とすることも可能である。

(H-2) 分岐ユニット

20 分岐ユニットの実行部は、条件分岐命令を処理し、分岐の有無を確定して、分岐先アドレスと共に、命令フェッチ・ユニットに通知する機能を有する。

(H-3) ロード／ストア・ユニット (LSU ; Load/Store Unit)

及びデータ・バッファ

25 ロード／ストア・ユニット（以下ではLSUと記す）の実行部は、アドレス計算を行う機能を有し、データ・バッファ及びデータ・キャッシュ

にアクセスすることができるようになっている。

データ・バッファは、各々のエントリに1語のデータが書き込まれるようになっている循環型のバッファである。本発明の計算機システムにおいては、ワード・スタックの最上位の部分の内容がポインタ・スタックとCRFによって保持されるが、その下の部分がデータ・バッファ、さらにその下の部分がデータ・キャッシュに格納されるようになっている。LSUはデータ・バッファに高速にアクセスできるので、アクセスすべき変数データがデータ・バッファに保持されている割合が大きいほど、より効率的な計算が可能となる。また、データ・バッファに適当な語数のデータを溜めておくようにすることによって、後述するCRF-データ・バッファ-データ・キャッシュの間のSpill/Fillの動作を効率的に行うことができる。

LSUは、最初のローカル変数へのポインタを保持する図示してないレジスタ (vars レジスタ) を具備する。本実施例の計算機システムにおいては、最初のローカル変数の格納域はデータ・バッファあるいはデータ・キャッシュにあるが、vars レジスタには、データ・キャッシュにおける相当するアドレス値が書き込まれているようになっている。すなわち、全てあるいは一部のローカル変数のデータが実際にはデータ・バッファに保持されていても、各々のローカル変数に、全てのローカル変数をデータ・キャッシュにSpillしたと仮定した場合のデータ・キャッシュにおけるアドレス値を対応させることができるので、ロード/ストア命令の処理において、LSUはvars レジスタの値を用いてアドレス計算を行い、対象となるローカル変数の格納域がデータ・バッファかデータ・キャッシュかを判定し、その格納域にアクセスする。

LSUは、先行命令が全て完了するまでストア命令をプログラム上の順番で保持する、図示してないストア・バッファを具備する。即ち、ス

ストア命令は全ての先行命令が完了してから実行されるようになっている。ストア・バッファは連想機能を備えており、LSUは先行ストア命令に対する依存性の検証を行い、ロード命令の実行を out-of-order で行うことができるようになっている。

- 5 即ち、ロード・アドレスが先行ストア命令のストア・アドレスに一致するか、あるいは、先行ストア命令のストア・アドレスが未計算の場合（この場合、依存関係の検証はできないので、依存関係は存在するとみなす）、当該ロード命令は先行ストア命令に対して依存関係を持つことになる。依存関係が全く存在しない場合、データ・バッファ／データ・キャッシュ
- 10 から直ちにデータをロードする。ロード命令が先行ストア命令に対して依存関係にあると、データ・バッファ／データ・キャッシュは正しい値を持っていないので、データ・バッファ／データ・キャッシュからデータをロードすることはできない。ロード・アドレスが先行ストア命令のストア・アドレスと一致し、ストア・データが有効であれば、そのストア命令
- 15 の完了を待たずに、ストア・バッファから直接データをロードする。

- LSUは、プログラム中に示されるロード／ストア命令を実行すると共に、オーバーフロー／アンダーフローの回避のため、あるいは、メソッドの呼び出し／メソッドからの復帰に伴いワード・スタックの最上位においてフレームが生成／破棄されるのに対応して、CRFとデータ・
- 20 バッファとの間でデータを自動的に Spill/Fill するようになっている。（ちなみに、メソッドの呼び出しにおいては、vars レジスタの値を変更した上で、スタック・トップからのストア命令も併用するのが望ましい。）

- 1語分のデータをCRFからデータ・バッファに Spill するには、APSとCPSで、(BP_OF_PS で示される) CRFのエントリのアドレス
- 25 を保持する最下位のエントリの内容が一致していなくてはならない（そうでない場合は一致するまで待つ）。その場合、その一致する内容で示

されるCRFのエントリに書き込まれている1語分のデータをデータ・バッファにSpillすることができる。その際、BP_OF_PSの値に1を加え、上記CRFのエントリのBBフィールドを0に変更し、そのエントリのアドレスをFLに登録する。

- 5 逆に、データ・バッファからCRFに1語分のデータをFillするには、データ・バッファからFillすべき1語分のデータを取り出し、それに空いているCRFの1エントリを割り付け、そのデータ・フィールドに書き込む。WCF、BBの各フィールドは1とする。さらに、その割り付けられたCRFのエントリのアドレスを、APS及びCPSの
- 10 (BP_OF_PSで示される)CRFのエントリのアドレスを保持する最下位のエントリの1つ下に各々書き込み、BP_OF_PSの値から1を引く。

データ・バッファとデータ・キャッシュの間でも、データ・バッファの空きに応じて適宜Spill/Fillの動作が行われるようになっている。

- CRF-データ・バッファ-データ・キャッシュの間で一度に複数語の
- 15 データをSpill/Fillできるようにするには、APSとCPSの2つのポインタ・スタック、データ・バッファ及びデータ・キャッシュをインターリーブ分割して、対応する分割部分間で上述と同様な動作を行うような構成とすればよい。この場合、Spill/Fillのために、APSとCPSの2つのポインタ・スタック、データ・バッファ及びデータ・キャッシュにおいて、
- 20 バンク毎に1つのread/writeポート、さらに、CRFにおいてインターリーブ分割の数だけのread/writeポートが必要となる。

ついで、本発明実施例の計算機システムの動作を説明する。

- 本実施例の計算機システムは命令を、①命令フェッチ、②命令デコード・発行、③実行、④完了の4ステージで処理する。当分の間、説明を
- 25 簡単にするため、1サイクルで1つの命令をデコード・発行／完了でき

るものとして、以下に各ステージごとに動作内容を説明する。

① 命令フェッチ・ステージ

このステージでは、命令フェッチ・ユニットが命令キャッシュから命令を取り出すと共に、次にフェッチする命令のアドレスを決定する。次に命令をフェッチするのは通常次アドレス値からであるが、フェッチした命令が無条件分岐命令であるか、条件分岐命令で分岐すると予測した場合、分岐予測が外れた場合、あるいは例外が発生した場合には、フェッチするアドレス値を変更する。

② 命令デコード・発行ステージ

このステージでは、命令をデコードして、命令の内容に応じて前進ポインタ・スタック（APS）及び統合レジスタ・ファイル（CRF）を操作すると共に、命令の内容を命令バッファ（IB）及び、必要な場合には、適切な機能ユニットの空いているRSに書き込むことにより、プログラムに含まれる命令が out-of-order で実行されるべく設定する。以下に、設定動作を詳細に説明する。

本発明の計算機システムにおいては、従来のスタック・マシンにおけるワード・スタックのスタックトップ近傍の内容がポインタ・スタックとCRFによって再現されるが、命令に規定されているオペランド・スタックに対するスタック操作が、APSに対して同様に適用される。ここで、1語のデータのオペランド・スタックへのプッシュ操作をエミュレートするには、そのデータを保持すべく空いているCRFの1エントリを割り付け、そのエントリのアドレスをAPSにプッシュすればよい。

即ち、デコードされた命令においてオペランド・スタックに対するポップ操作が規定されている場合には、ポップすべき語数と同じ数だけCRFのエントリのアドレスをAPSからポップする。デコードされた命令においてオペランド・スタックに対するプッシュ操作が規定されてい

る場合には、プッシュすべき語数と同じ数だけ空いている C R F のエン
トリを割り付け、上記割り付けた C R F のエントリのアドレスを A P S
にプッシュする。

オペランド・スタックの操作命令 (Java VM における pop, pop2, dup,
5 dup2, dup_x1, dup2_x1, dup_x2, dup2_x2, swap) の場合、基本的には、オ
ペランド・スタックに対して行うべき操作を A P S に対して同様に行え
ばよい。本実施例においては、スタック上でコピーを作成するようなオ
ペランド・スタックの操作命令 (Java VM における dup, dup2, dup_x1,
dup2_x1, dup_x2, dup2_x2) の場合には、コピー・データを保持すべく空
10 いている C R F のエントリを割り付け、そのエントリのアドレスを A P
S の適切なエントリに書き込むようになっている。

命令のデコード・発行に伴い新たに割り付けられる C R F のエントリ
においては、B B フィールドに 1 を立て、C フィールドには命令デコー
ド・発行ユニットから送られてくる分岐タグを書き込む。即値データの
15 プッシュ命令の場合には、データがすでに得られているので、データ・
フィールドにそのデータを書き込み、W C F フィールドに 1 を立てる。
それ以外の場合には、データはデコード・発行の時点では得られていな
いので、W C F フィールドを 0 としておく。

デコードされた命令の内容をプログラム上の順番で I B に保持してお
くために、その命令の内容を I B のトレイル・ポインタで示されるエン
20 トリに書き込み、トレイル・ポインタの値に 1 を加える。すなわち、オ
ペレーション・フィールドにオペレーション・コードを書き込み、オペ
レーション・コードに続いてオペランドが示されるような命令の場合には、
オペランド・フィールドにこのオペランドを書き込む。B T フィールド
25 には命令デコード・発行ユニットから送られてくる分岐タグを書き込む。
S フィールドに関しては、無条件分岐命令、即値データのオペランド・

スタックへのプッシュ命令あるいはスタック上でコピーを作成することのないオペランド・スタックの操作命令（Java VM における pop, pop2, swap）の場合は実行済みとし、その他の命令の場合は未実行としておく。

- ポップ操作を含む命令の場合には、ポップすべき語数と同じ数だけ A P S からポップされる C R F のエントリのアドレスを、その順で第 1 ～ 第 4 ソース・フィールドに書き込む。プッシュ操作を含む命令の場合には、プッシュすべき語数と同じ数だけ A P S にプッシュされる C R F のエントリのアドレスを、その順で第 1 ～ 第 2 デスティネーション・フィールドに書き込む。
- 10 本実施例においては、スタック上でコピーを作成するようなオペランド・スタックの操作命令の場合には、コピー元となるデータを保持すべく割り付けられている C R F のエントリのアドレスをソース・フィールドに、コピー・データを保持すべく新たに割り付けられる C R F のエントリのアドレスをデスティネーション・フィールドに、一定の対応関係
- 15 のもとに書き込む。

- 命令の種類に応じて、オペランド・スタックに対してポップ／プッシュすべき語数（オペランド・スタックの操作命令の場合には、作成するコピーの語数）は決まっているので、オペレーション・フィールドの内容によって、第 1 ～ 第 4 ソース・フィールド及び第 1 ～ 第 2 デスティネーション・フィールドのうちのいずれが有効であるかを知ることができる。
- 20

- 命令の内容を、I B に書き込むと同時に、命令の種類に応じて、必要な場合に、適切な機能ユニットの空いている R S にも、書き込みの行われる I B のエントリのアドレス（ここでは、1 サイクル当たり 1 命令までしか発行しないとしているので、トレイル・ポインタの値と一致する）
- 25 と共に書き込む。ここで、R S への書き込みが必要でないのは、即値デ

ータのオペランド・スタックへのプッシュ命令、スタック上でコピーを作成することのないオペランド・スタックの操作命令及び無条件分岐命令の場合である。本実施例においては、スタック上でコピーを作成するようなオペランド・スタックの操作命令の場合には、その内容を演算ユニット 1 の空いている RS に書き込むことにする。

エントリ・アドレスが IB のソース・フィールドに書き込まれる (APS からポップされる) CRF のエントリの各々の WCF フィールド及びデータ・フィールドが読み出され、WCF が 1 の場合、次サイクル以降にエントリ・アドレスとデータが CDB に載せられる。

10 ③ 実行ステージ

命令デコード・発行ステージにおいてある RS に書き込まれた命令に関して、原則として以下のような動作が順次行われる。

・各々の RS で、そこに書き込まれているソース・データを保持すべき CRF のエントリのアドレスと CDB を通じて送られてくるものが比較され、一致すればデータが取り込まれる。本実施例においては、RS に命令の内容が書き込まれるのと同じタイミングで CDB を通じて送られてくるデータも当該 RS に取り込まれるものとする。

・必要なソース・データが揃い、機能ユニットの実行部が利用可能であれば、当該 RS の内容は実行部に渡され、その実行が開始される。この時点で、当該 RS における当該命令の保持が解除される。

・デコードの際 IB のデスティネーション・フィールドに書き込みが行われる (APS に CRF のエントリのアドレスがプッシュされる) ような命令の場合、命令の実行の結果得られたデータをデスティネーションである CRF のエントリのアドレスと共に CDB に載せる。CRF においては、CDB を通じて送られてくる内容に基づきデータの書き込みを行い、WCF フィールドを 1 に変更する。

・以上のような動作が全て正常に終了すれば、当該RSに書き込まれていたエントリ・アドレスにある（当該命令を保持している）IBのエントリのSフィールドを正常終了に変更する。

5 以上は、大部分の命令について当てはまる原則的な動作であるが、本実施例の計算機システムにおいては、命令の種類によっては、以下のような例外的な動作が行われる。

・LSUのRSにおいて、オペランド・スタック上のデータをポップしてアドレス計算を行うようなストア命令（Java VM における iastore, lastore, fastore, dastore, aastore, bastore, castore, sastore）が書き込まれている場合には、ソース・データが全て揃っていなくても、アドレス計算に必要なソース・データが揃った時点でストア・アドレスを計算し、ストア・バッファに書き込む。

10

・LSUのRSにおいて、ストア命令が書き込まれている場合には、ストア・アドレスとストア・データのストア・バッファへの書き込みが共に終了すれば、当該RSに書き込まれていたエントリ・アドレスにある（当該ストア命令を保持している）IBのエントリのSフィールドをストア実行可能に変更する。前述したように、実際のストアの実行は完了ステージにおいて行う。

15

・演算ユニット1のRSにおいて、スタック上でコピーを作成するようなオペランド・スタックの操作命令が書き込まれている場合には、ソース・データが書き込まれると、そのデータを、デスティネーションとして一定の対応関係のもとに書き込まれているCRFのエントリのアドレスと共にCDBに載せる。それぞれのデスティネーションに関するデータ転送が全て正常に終了すれば、当該RSに書き込まれていたエントリ・アドレスにある（当該命令を保持している）IBのエントリのSフィールドを正常終了に変更する。

20

25

以上のように、I Bに保持されている未実行の命令は、データ駆動の原理に基づき、実行可能となったものから処理されるので、命令実行順序は out-of-order になる。また、演算ユニット 0 / 1、分岐ユニット及びロード／ストア・ユニットの各機能ユニットは互いに独立に並行して動作する。

ある命令の処理において例外事象が発生した場合には、その情報を、その命令を保持している I Bのエントリの S フィールドに書き込むと共に、命令フェッチ・ユニットに通知する。

④ 完了ステージ

- 10 ある命令が完了できるためには、プログラム上の順番でその命令よりも前にある命令が全て完了していなくてはならない。

- 15 I Bのヘッダ・ポインタで示されるエントリにおいて、S フィールドが実行済み／正常終了である、あるいはそうなり、そのエントリに書き込まれている命令の内容に基づいてC P S及びC R Fを操作し、ヘッダ・ポインタの値に1を加える。

- 20 C P Sは、命令がデコード・発行された際のA P Sの動作を再現すべく操作される。すなわち、ポップ／プッシュ操作を含む命令の場合には、有効なソース・フィールドの内容と同じものを順にC P Sからポップし、有効なデスティネーション・フィールドの内容を順にC P Sにプッシュする。スタック上でコピーを作成することのないオペランド・スタックの操作命令の場合には、オペランド・スタックに対して行うべき操作をC P Sに対して全く同様に行えばよい。本実施例においては、スタック上でコピーを作成するようなオペランド・スタックの操作命令の場合には、有効なソース・フィールド及び有効なデスティネーション・フィールドを参照して、その命令のデコード・発行の際にA P Sに対して行われた操作がC P Sにおいて再現される。
- 25

ついで、具体的な動作例について説明する。いま、本実施例の計算機システムで、以下のようなプログラムを実行することを考えよう。

- dload [A] (変数名[A]に対応する倍精度浮動小数点データのロード)
- 5 dload [B] (変数名[B]に対応する倍精度浮動小数点データのロード)
- dadd (倍精度浮動小数点データ間の加算)
- d2f (倍精度浮動小数点データの単精度浮動小数点データへの変換)
- fload [T] (変数名[T]に対応する単精度浮動小数点データのロード)
- 10 swap (スタック上の最上位の2語を入れ替える)
- dup_x1 (スタックトップの語のコピーを作成し、先頭から3語目に割り込ませる)
- fsub (単精度浮動小数点データ間の減算)
- fdiv (単精度浮動小数点データ間の除算)
- 15 fstore [X] (スタックトップにある単精度浮動小数点データの変数名[X]に対応する格納域へのストア)

20 以上のプログラムは、 $X = (A+B) / \{T - (A+B)\}$ の計算を行うものであるが、AとBのデータが倍精度で与えられ、この間の加算を倍精度のまま実行して、得られた加算データを単精度に変換して、以降は単精度で計算を行う、というものである。

25 第6図～第14図は、本実施例の計算機システムにおいて、上記プログラムを処理する際の動作をサイクル毎に示した説明図であり、以下ではこの図をもとに詳細な動作を説明する。第6図～第14図において、CRF6及びIB5の各エントリの構成は、それぞれ第3図、第5図のものと同一である。第6図～第14図で空白となっている箇所は、そのフィールドの内容に留意する必要が無いことを意味する。時系列で各構

成要素の内容を示すために、各部の符号の後尾にハイフンと各サイクルに対応する数字を添えている。また、第6図～第14図において、APS、CPS、IB及びCRFの各エントリは下から順に0、1、2、～のようにアドレスが付けられているものとする。

- 5 CDBは3本のバスで構成されているものとする。レイテンシが2サイクル以下の演算命令は演算ユニット0で、それ以外の演算命令は演算ユニット1で実行されるものとする。

本動作例においては、説明を簡単にするため、変数データは全てデータ・バッファに保持されており、CRFとデータ・バッファの間の
10 Spill/Fillの動作は行わないものとする。従って、BP_OF_PSの値は終始0である。

また、本動作例においては、当初、APS、CPS、IB及びCRFは初期化されており、FLにCRFの全てのエントリのアドレスが順に
15 〈0〉、〈1〉、〈2〉、〈3〉……と書き込まれていて、この順で取り出されるものとする。

以下に、各サイクルにおける動作を、(A) 命令デコード・発行、(B) 実行及び (C) 完了の各ステージに分けて詳細に説明する。

(1-A) 第1サイクルの命令デコード・発行ステージ

命令 dload [A]のデコード・発行を行う。倍長語の変数データのオペラ
20 ンド・スタックへのロード命令であるので、FLに登録されているフリーなCRFの2エントリ6(0)、6(1)をそのデータを保持すべく割り付け、そのエントリのアドレス〈0〉、〈1〉をAPSにプッシュし、APSは3-1のようになる。

CRFの6(0)、6(1)の各エントリにおいては、BBフィールドに1
25 を立て、WCF及びCの各フィールドには0を書き込み、CRFは6-1のようになる。ここで、本動作例においては、終始分岐タグとして命

令デコード・発行ユニットから0が送られてくるものとする。

トレイル・ポインタの値は0であるので、IBのエントリ5(0)に上記命令の内容を書き込み、IBは5-1のようになる。この際、APSにプッシュされるCRFのエントリのアドレス〈0〉、〈1〉を各々第1、
5 第2デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え1にする。ここで、本動作例においては、IBのSフィールドには、命令が未実行であれば0、実行済み／正常終了あるいはストア命令におけるストア実行可能であれば1が書き込まれるものとする。

- 10 IBのエントリ5(0)に書き込まれるものと同じ上記命令の内容を、IBのエントリのアドレス0と共に、LSUの空いているRS831に書き込む。

(1-B) 第1サイクルの実行ステージ

実行ステージの動作としては何も行われぬ。

- 15 (1-C) 第1サイクルの完了ステージ

当初のIBのヘッダ・ポインタが示すエントリ5(0)において、命令はまだ書き込まれていないため、完了ステージの動作としては何も行われぬ。

(2-A) 第2サイクルの命令デコード・発行ステージ

- 20 命令 dload [B] のデコード・発行を行う。倍長語の変数データのオペランド・スタックへのロード命令であるので、FLに登録されているフリーなCRFの2エントリ6(2)、6(3)をそのデータを保持すべく割り付け、そのエントリのアドレス〈2〉、〈3〉をAPSにプッシュし、APSは3-2のようになる。

- 25 CRFの6(2)、6(3)の各エントリにおいては、BBフィールドに1を立て、WCF及びCの各フィールドには0を書き込み、CRFは6-

2のようになる。

トレイル・ポインタの値は1であるので、IBのエントリ5(1)に上記命令の内容を書き込み、IBは5-2のようになる。この際、APSに
プッシュされるCRFのエントリのアドレス〈2〉、〈3〉を各々第1、
5 第2デスティネーション・フィールドに書き込んでいる。さらに、トレ
イル・ポインタの値に1を加え2にする。

IBのエントリ5(1)に書き込まれるものと同じ上記命令の内容を、
IBのエントリのアドレス1と共に、LSUの空いているRS832に
書き込む。

10 (2-B) 第2サイクルの実行ステージ

LSUの実行部はRS831から渡されるロード命令を実行する。即
ち、データ・バッファにアクセスし、変数Aの2語のデータを読み出す。

(2-C) 第2サイクルの完了ステージ

5-1の状態にあるIBのヘッダ・ポインタが示すエントリ5(0)にお
15 いて、Sフィールドは0であるので、完了ステージの動作としては何も
行われない。

(3-A) 第3サイクルの命令デコード・発行ステージ

命令 dadd のデコード・発行を行う。オペランド・スタックから4語の
ソース・データをポップして演算を行い、倍長語の演算結果をプッシュ
20 する演算命令であるので、APSから〈0〉、〈1〉、〈2〉、〈3〉をポ
ップし、FLに登録されているフリーなCRFの2エントリ6(4)、6(5)
を演算結果を保持すべく割り付け、そのエントリのアドレス〈4〉、〈5〉
をAPSにプッシュし、APSは3-3のようになる。

CRFの6(4)、6(5)の各エントリにおいては、BBフィールドに1
25 を立て、WCF及びCの各フィールドには0を書き込む。

トレイル・ポインタの値は2であるので、IBのエントリ5(2)に上記

命令の内容を書き込む。この際、APSからポップされるCRFのエントリのアドレス〈0〉、〈1〉、〈2〉、〈3〉を各々第1～第4ソース・フィールドに、APSにプッシュされる〈4〉、〈5〉を各々第1、第2デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え3にする。

IBのエントリ5(2)に書き込まれるものと同じ上記命令の内容を、IBのエントリのアドレス2と共に、演算ユニット0の空いているRS801に書き込む(daddの演算のレイテンシは2サイクルであるとする)。

また、6-2の状態にあるCRFの6(0)、6(1)、6(2)、6(3)の各エントリのWCFフィールド及びデータ・フィールドが読み出され、この場合、いずれのエントリもWCFが0であるので、データ転送の必要はない。

(3-B) 第3サイクルの実行ステージ

LSUは、データ・バッファから読み出した変数Aのデータを構成する2語A_1、A_2を、それぞれデスティネーションであるCRFのエントリのアドレス〈0〉、〈1〉と共に、CDBに載せる。これに基づき、CRFにおいては、エントリ6(0)、6(1)にデータの書き込みを行い、WCFフィールドを1に変更する。また、同じタイミングでIBのエントリ5(2)に書き込まれるものと同じ内容が書き込まれる演算ユニット0のRS801においても、CRFのエントリのアドレス〈0〉、〈1〉に対応するデータの書き込みが行われる。

以上で、IBのエントリ5(0)に書き込まれている命令の実行が正常に終了するので、次のサイクルにおいて、5(0)のSフィールドが正常終了を意味する1に変更される。

以上の動作と並行して、LSUの実行部はRS832から渡されるロ



ード命令を実行する。即ち、データ・バッファにアクセスし、変数Bの2語のデータを読み出す。

(3-C) 第3サイクルの完了ステージ

5 5-2の状態にあるIBのヘッダ・ポインタが示すエントリ5(0)において、Sフィールドは0であるので、完了ステージの動作としては何も行われぬ。

(4-A) 第4サイクルの命令デコード・発行ステージ

10 命令d2fのデコード・発行を行う。オペランド・スタックから2語のソース・データをポップして変換演算を行い、1語の演算結果をプッシュする演算命令であるので、APSから〈4〉、〈5〉をポップし、FLに登録されているフリーなCRFのエントリ6(6)を演算結果を保持すべく割り付け、そのエントリのアドレス〈6〉をAPSにプッシュし、APSは3-4のようになる。

15 CRFのエントリ6(6)においては、BBフィールドに1を立て、WCF及びCの各フィールドには0を書き込む。

20 トレイル・ポインタの値は3であるので、IBのエントリ5(3)に上記命令の内容を書き込む。この際、APSからポップされるCRFのエントリのアドレス〈4〉、〈5〉を各々第1、第2ソース・フィールドに、APSにプッシュされる〈6〉を第1デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え4にする。

IBのエントリ5(3)に書き込まれるものと同じ上記命令の内容を、IBのエントリのアドレス3と共に、演算ユニット0の空いているRS802に書き込む(d2fの演算のレイテンシは2サイクルであるとする)。

25 また、6-3の状態にあるCRFの6(4)、6(5)の各エントリのWCFフィールド及びデータ・フィールドが読み出され、この場合、いずれ

のエントリもWCFが0であるので、データ転送の必要はない。

(4-B) 第4サイクルの実行ステージ

LSUは、データ・バッファから読み出した変数Bのデータを構成する2語B_1、B_2を、それぞれデスティネーションであるCRFのエントリ5
5 トリのアドレス〈2〉、〈3〉と共に、CDBに載せる。これに基づき、
CRFにおいては、エントリ6(2)、6(3)にデータの書き込みを行い、
WCFフィールドを1に変更する。また、IBのエントリ5(2)に書き
込まれているものと同じ内容が書き込まれている演算ユニット0のRS
801においても、CRFのエントリのアドレス〈2〉、〈3〉に対応
10 するデータの書き込みが行われる。

以上で、IBのエントリ5(1)に書き込まれている命令の実行が正常に終了するので、次のサイクルにおいて、5(1)のSフィールドが正常終了を意味する1に変更される。

(4-C) 第4サイクルの完了ステージ

15 5-3の状態にあるIBのヘッダ・ポインタが示すエントリ5(0)において、Sフィールドは0であるので、完了ステージの動作としては何も行われぬ。

(5-A) 第5サイクルの命令デコード・発行ステージ

命令 fload [T] のデコード・発行を行う。1語の変数データのオペランド・スタックへのロード命令であるので、FLに登録されているフリーなCRFのエントリ6(7)をそのデータを保持すべく割り付け、その
20 エントリのアドレス〈7〉をAPSにプッシュし、APSは3-5のようになる。

CRFのエントリ6(7)においては、BBフィールドに1を立て、WCF及びCの各フィールドには0を書き込む。
25

トレイル・ポインタの値は4であるので、IBのエントリ5(4)に上記

命令の内容を書き込む。この際、A P SにプッシュされるC R Fのエントリのアドレス〈7〉を第1デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え5にする。

- 5 I Bのエントリ5 (4)に書き込まれるものと同じ上記命令の内容を、
I Bのエントリのアドレス4と共に、L S Uの空いているR S 8 3 1に書き込む。

(5-B) 第5サイクルの実行ステージ

- 10 演算命令 dadd の内容が書き込まれているR S 8 0 1において、必要なソース・データが全て揃ったので、その内容が演算ユニット0の実行部に渡され、演算が開始される。

(5-C) 第5サイクルの完了ステージ

- 15 5-4の状態にあるI Bのヘッダ・ポインタが示すエントリ5 (0)において、Sフィールドが1となったので、5 (0)の内容に基づいてC P S (及びC R F) を操作する。すなわち、I Bのエントリ5 (0)のデスティネーション・フィールドに書き込まれている〈0〉, 〈1〉をC P Sにプッシュし、C P Sは4-5のようになる。さらに、ヘッダ・ポインタの値に1を加え1とし、これで、5 (0)の命令は完了したことになる。

(6-A) 第6サイクルの命令デコード・発行ステージ

- 20 命令 swap のデコード・発行を行う。オペランド・スタック上の最上位の2語を入れ替える命令であるので、同様な操作をA P Sに対して行い、A P Sは3-6のようになる。

- 25 トレイル・ポインタの値は5であるので、I Bのエントリ5 (5)に上記命令の内容を書き込む。この際、命令 swap は、スタック上でコピーを作成することのないオペランド・スタックの操作命令であるので、Sフィールドは実行済みを意味する1とする。さらに、トレイル・ポインタの値に1を加え6にする。

(6-B) 第6サイクルの実行ステージ

L S Uの実行部はR S 8 3 1から渡されるロード命令を実行する。即ち、データ・バッファにアクセスし、変数Tのデータを読み出す。

(6-C) 第6サイクルの完了ステージ

- 5 5-5の状態にあるI Bのヘッダ・ポインタが示すエントリ5(1)において、Sフィールドが1となったので、5(1)の内容に基づいてC P S (及びC R F)を操作する。すなわち、I Bのエントリ5(1)のデスティネーション・フィールドに書き込まれている〈2〉, 〈3〉をC P Sにプッシュし、C P Sは4-6のようになる。さらに、ヘッダ・ポインタ
- 10 の値に1を加え2とし、これで、5(1)の命令は完了したことになる。

(7-A) 第7サイクルの命令デコード・発行ステージ

- 命令dup_xlのデコード・発行を行う。命令dup_xlは、ワード・スタックが、(右方向に成長するものとして) ..., word1, word2のような状態であるとき、これを ..., word2, word1, word2と変えるような、スタック上で1語のコピーを作成するオペランド・スタックの操作命令であるので、
- 15 F Lに登録されているフリーなC R Fのエントリ6(8)をコピー・データを保持すべく割り付け、3-6のように下から〈7〉, 〈6〉となっている状態のA P Sを3-7のように〈8〉, 〈7〉, 〈6〉と変える。

- 20 C R Fのエントリ6(8)においては、B Bフィールドに1を立て、W C F及びCの各フィールドには0を書き込む。

- トレイル・ポインタの値は6であるので、I Bのエントリ5(6)に上記命令の内容を書き込む。この際、コピー元となるデータを保持すべく割り付けられているC R Fのエントリのアドレス〈6〉を第1ソース・フィールドに、コピー・データを保持すべく新たに割り付けられるC R F
- 25 のエントリのアドレス〈8〉を第1デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え7にする。



I Bのエントリ 5 (6)に書き込まれるものと同じ上記命令の内容を、
I Bのエントリのアドレス 6 と共に、演算ユニット 1 の空いている R S
8 1 1 に書き込む。

5 また、6 - 6 の状態にある C R F のエントリ 6 (6) の W C F フィールド
及びデータ・フィールドが読み出され、この場合、W C F が 0 である
ので、データ転送の必要はない。

(7 - B) 第 7 サイクルの実行ステージ

10 演算ユニット 0 は、5 (2) の演算命令の実行を終了しており、演算結果
を構成する 2 語 (A+B) _1、(A+B) _2 を、それぞれデスティネーション
である C R F のエントリのアドレス 〈4〉、〈5〉と共に、C D B に載
せる。これに基づき、C R F においては、エントリ 6 (4)、6 (5) にデー
タの書き込みを行い、W C F フィールドを 1 に変更する。また、I B の
15 エントリ 5 (3) に書き込まれているものと同じ内容が書き込まれている
演算ユニット 0 の R S 8 0 2 においても、C R F のエントリのアドレス
〈4〉、〈5〉に対応するデータの書き込みが行われる。

L S U は、データ・バッファから読み出した変数 T のデータを、デス
ティネーションである C R F のエントリのアドレス 〈7〉と共に、C D
B に載せる。これに基づき、C R F においては、エントリ 6 (7) にデー
タの書き込みを行い、W C F フィールドを 1 に変更する。

20 以上で、I B の 5 (2)、5 (4) の各エントリに書き込まれている命令の
実行が共に正常に終了するので、次のサイクルにおいて、5 (2) 及び 5 (4)
の S フィールドが正常終了を意味する 1 に変更される。

(7 - C) 第 7 サイクルの完了ステージ

25 5 - 6 の状態にある I B のヘッダ・ポインタが示すエントリ 5 (2) にお
いて、S フィールドは 0 であるので、完了ステージの動作としては何も
行われぬ。

(8-A) 第8サイクルの命令デコード・発行ステージ

命令 fsub のデコード・発行を行う。オペランド・スタックから2語のソース・データをポップして演算を行い、1語の演算結果をプッシュする演算命令であるので、APSから〈7〉、〈6〉をポップし、FLに登録されているフリーなCRFのエントリ6(9)を演算結果を保持すべく割り付け、そのエントリのアドレス〈9〉をAPSにプッシュし、APSは3-8のようになる。

CRFのエントリ6(9)においては、BBフィールドに1を立て、WCF及びCの各フィールドには0を書き込む。

10 トレイル・ポインタの値は7であるので、IBのエントリ5(7)に上記命令の内容を書き込む。この際、APSからポップされるCRFのエントリのアドレス〈7〉、〈6〉を各々第1、第2ソース・フィールドに、APSにプッシュされる〈9〉を第1デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え8にする。

15 IBのエントリ5(7)に書き込まれるものと同じ上記命令の内容を、IBのエントリのアドレス7と共に、演算ユニット0の空いているRS801に書き込む(fsubの演算のレイテンシは2サイクルであるとする)。

20 また、6-7の状態にあるCRFの6(7)、6(6)の各エントリのWCFフィールド及びデータ・フィールドが読み出され、この場合、6(7)のWCFが1であるので、次のサイクルにおいて、エントリ・アドレス〈7〉とデータTがCDBに載せられる。

(8-B) 第8サイクルの実行ステージ

25 演算命令 d2f の内容が書き込まれているRS802において、必要なソース・データが全て揃ったので、その内容が演算ユニット0の実行部



に渡され、演算が開始される。

(8-C) 第8サイクルの完了ステージ

5 5-7の状態にあるIBのヘッダ・ポインタが示すエントリ5(2)において、Sフィールドは0であるので、完了ステージの動作としては何も行われない。

(9-A) 第9サイクルの命令デコード・発行ステージ

10 命令 fdiv のデコード・発行を行う。オペランド・スタックから2語のソース・データをポップして演算を行い、1語の演算結果をプッシュする演算命令であるので、APSから<8>、<9>をポップし、FLに登録されているフリーなCRFのエントリ6(10)を演算結果を保持すべく割り付け、そのエントリのアドレス<10>をAPSにプッシュし、APSは3-9のようになる。

CRFのエントリ6(10)においては、BBフィールドに1を立て、WCF及びCの各フィールドには0を書き込む。

15 トレイル・ポインタの値は8であるので、IBのエントリ5(8)に上記命令の内容を書き込む。この際、APSからポップされるCRFのエントリのアドレス<8>、<9>を各々第1、第2ソース・フィールドに、APSにプッシュされる<10>を第1デスティネーション・フィールドに書き込んでいる。さらに、トレイル・ポインタの値に1を加え9にする。

20 IBのエントリ5(8)に書き込まれるものと同じ上記命令の内容を、IBのエントリのアドレス8と共に、演算ユニット1の空いているRS812に書き込む(fdivの演算のレイテンシは10サイクルであるとする)。

25 また、6-8の状態にあるCRFの6(8)、6(9)の各エントリのWCFフィールド及びデータ・フィールドが読み出され、この場合、いずれ

のエントリもWCFが0であるので、データ転送の必要はない。

(9-B) 第9サイクルの実行ステージ

5 (8-A) で述べたように、エントリ・アドレス〈7〉とデータTがCDBに載せられ、これに基づき、IBのエントリ5(7)に書き込まれているものと同じ内容が書き込まれている演算ユニット0のRS801においても、CRFのエントリ・アドレス〈7〉に対応するデータの書き込みが行われる。

(9-C) 第9サイクルの完了ステージ

10 5-8の状態にあるIBのヘッダ・ポインタが示すエントリ5(2)において、Sフィールドが1となったので、5(2)の内容に基づいてCPS及びCRFを操作する。すなわち、IBのエントリ5(2)のソース・フィールドに書き込まれている〈0〉,〈1〉,〈2〉,〈3〉をCPSからポップし、デスティネーション・フィールドに書き込まれている〈4〉,〈5〉をCPSにプッシュし、CPSは4-9のようになる。エントリ・アド
15 レスがCPSからポップされるCRFの6(0)、6(1)、6(2)、6(3)の各エントリでは、BBフィールドを0に変更する。CRFのエントリ・アドレス〈0〉,〈1〉,〈2〉,〈3〉をFLに登録する。さらに、ヘッダ・ポインタの値に1を加え3とし、これで、5(2)の命令は完了したことになる。

20 (10-A) 第10サイクルの命令デコード・発行ステージ

命令 fstore [X]のデコード・発行を行う。スタックトップにある1語のデータのストア命令であるので、APSから〈10〉をポップし、APSは3-10のようになる。

25 トレイル・ポインタの値は9であるので、IBのエントリ5(9)に上記命令の内容を書き込む。この際、APSからポップされるCRFのエントリ・アドレス〈10〉を第1ソース・フィールドに書き込んでいる。

さらに、トレイル・ポインタの値に1を加え10にする。

- IBのエントリ5(9)に書き込まれるものと同じ上記命令の内容を、IBのエントリのアドレス9と共に、LSUの空いているRS831に書き込む。次のサイクルにおいて、ストア・バッファに変数名[X]に対応するストア・アドレスが書き込まれる。

また、6-9の状態にあるCRFのエントリ6(10)のWCFフィールド及びデータ・フィールドが読み出され、この場合、WCFが0であるので、データ転送の必要はない。

(10-B) 第10サイクルの実行ステージ

- 10 演算ユニット0は、5(3)の変換演算命令の実行を終了しており、1語の演算結果(A+B)を、デスティネーションであるCRFのエントリのアドレス〈6〉と共に、CDBに載せる。これに基づき、CRFにおいては、エントリ6(6)にデータの書き込みを行い、WCFフィールドを1に変更する。また、IBのエントリ5(6)、5(7)に書き込まれているものとそれぞれ同じ内容が書き込まれている演算ユニット1のRS811及び演算ユニット0のRS801においても、CRFのエントリのアドレス〈6〉に対応するデータの書き込みが行われる。

- 20 以上で、IBのエントリ5(3)に書き込まれている命令の実行が正常に終了するので、次のサイクルにおいて、5(3)のSフィールドが正常終了を意味する1に変更される。

(10-C) 第10サイクルの完了ステージ

5-9の状態にあるIBのヘッダ・ポインタが示すエントリ5(3)において、Sフィールドは0であるので、完了ステージの動作としては何も行われたい。

- 25 以下では、特に記述すべき動作内容のない場合は、実行ステージであれ完了ステージであれ項目を省くことにする。

(1 1 - B) 第1 1 サイクルの実行ステージ

演算命令 fsub の内容が書き込まれている RS 8 0 1 において、必要なソース・データが全て揃ったので、その内容が演算ユニット 0 の実行部に渡され、演算が開始される。

- 5 スタック上でコピーを作成するようなオペランド・スタックの操作命令 dup_xl の内容が書き込まれている RS 8 1 1 において、ソース・データが書き込まれたので、そのデータ (A+B) を、対応関係にあるデスティネーションである CRF のエントリのアドレス 〈8〉 と共に、CDB に載せる。これに基づき、CRF においては、エントリ 6 (8) にデータの
- 10 書き込みを行い、WCF フィールドを 1 に変更する。また、IB のエントリ 5 (8) に書き込まれているものと同じ内容が書き込まれている演算ユニット 1 の RS 8 1 2 においても、CRF のエントリのアドレス 〈8〉 に対応するデータの書き込みが行われる。

- 15 以上で、IB のエントリ 5 (6) に書き込まれている命令の実行が正常に終了するので、次のサイクルにおいて、5 (6) の S フィールドが正常終了を意味する 1 に変更される。

(1 2 - C) 第1 2 サイクルの完了ステージ

- 20 5 - 1 1 の状態にある IB のヘッダ・ポインタが示すエントリ 5 (3) において、S フィールドが 1 となったので、5 (3) の内容に基づいて CPS 及び CRF を操作する。すなわち、IB のエントリ 5 (3) のソース・フィールドに書き込まれている 〈4〉, 〈5〉 を CPS からポップし、デスティネーション・フィールドに書き込まれている 〈6〉 を CPS にプッシュし、CPS は 4 - 1 2 のようになる。エントリ・アドレスが CPS からポップされる CRF の 6 (4)、6 (5) の各エントリでは、BB フィ
- 25 ールドを 0 に変更する。CRF のエントリのアドレス 〈4〉, 〈5〉 を FL に登録する。さらに、ヘッダ・ポインタの値に 1 を加え 4 とし、こ

れで、5 (3)の命令は完了したことになる。

(1 3-B) 第1 3サイクルの実行ステージ

5 演算ユニット0は、5 (7)の演算命令の実行を終了しており、1語の演算結果 $T-(A+B)$ を、デスティネーションであるCRFのエントリのアドレス〈9〉と共に、CDBに載せる。これに基づき、CRFにおいては、エントリ6 (9)にデータの書き込みを行い、WCFフィールドを1に変更する。また、IBのエントリ5 (8)に書き込まれているものと同じ内容が書き込まれている演算ユニット1のRS 8 1 2においても、CRFのエントリのアドレス〈9〉に対応するデータの書き込みが行われ
10 る。

以上で、IBのエントリ5 (7)に書き込まれている命令の実行が正常に終了するので、次のサイクルにおいて、5 (7)のSフィールドが正常終了を意味する1に変更される。

(1 3-C) 第1 3サイクルの完了ステージ

15 5-1 2の状態にあるIBのヘッダ・ポインタが示すエントリ5 (4)において、Sフィールドが1であるので、5 (4)の内容に基づいてCPS (及びCRF) を操作する。すなわち、IBのエントリ5 (4)のデスティネーション・フィールドに書き込まれている〈7〉をCPSにプッシュし、CPSは4-1 3のようになる。さらに、ヘッダ・ポインタの値
20 に1を加え5とし、これで、5 (4)の命令は完了したことになる。

(1 4-B) 第1 4サイクルの実行ステージ

演算命令 `fdiv` の内容が書き込まれているRS 8 1 2において、必要なソース・データが全て揃ったので、その内容が演算ユニット1の実行部に渡され、演算が開始される。

25 (1 4-C) 第1 4サイクルの完了ステージ

5-1 3の状態にあるIBのヘッダ・ポインタが示すエントリ5 (5)に

において、Sフィールドが1であるので、5(5)の内容に基づいてCPS
(及びCRF)を操作する。すなわち、(6-A)におけるAPSの動
作が再現され、CPSは4-14のようになる。さらに、ヘッダ・ポイ
ンタの値に1を加え6とし、これで、5(5)の命令は完了したことにな
る。

(15-C) 第15サイクルの完了ステージ

5-14の状態にあるIBのヘッダ・ポインタが示すエントリ5(6)に
おいて、Sフィールドが1であるので、5(6)の内容に基づいてCPS
(及びCRF)を操作する。すなわち、(7-A)におけるAPSの動
作が再現され、CPSは4-15のようになる。さらに、ヘッダ・ポイ
ンタの値に1を加え7とし、これで、5(6)の命令は完了したことにな
る。

(16-C) 第16サイクルの完了ステージ

5-15の状態にあるIBのヘッダ・ポインタが示すエントリ5(7)に
おいて、Sフィールドが1であるので、5(7)の内容に基づいてCPS
及びCRFを操作する。すなわち、IBのエントリ5(7)のソース・フ
ィールドに書き込まれている〈7〉、〈6〉をCPSからポップし、デス
ティネーション・フィールドに書き込まれている〈9〉をCPSにプッ
シュし、CPSは4-16のようになる。エントリ・アドレスがCPS
からポップされるCRFの6(7)、6(6)の各エントリでは、BBフ
ィールドを0に変更する。CRFのエントリのアドレス〈7〉、〈6〉をF
Lに登録する。さらに、ヘッダ・ポインタの値に1を加え8とし、これ
で、5(7)の命令は完了したことになる。

(24-B) 第24サイクルの実行ステージ

演算ユニット1は、5(8)の演算命令の実行を終了しており、1語の
演算結果(A+B)/{T-(A+B)}を、デスティネーションであるCRFのエン

トリのアドレス〈10〉と共に、CDBに載せる。これに基づき、CRFにおいては、エントリ6(10)にデータの書き込みを行い、WCFフィールドを1に変更する。また、IBのエントリ5(9)に書き込まれているものと同じ内容が書き込まれているLSUのRS831においても、

5 CRFのエントリのアドレス〈10〉に対応するデータの書き込みが行われる。

以上で、IBのエントリ5(8)に書き込まれている命令の実行が正常に終了するので、次のサイクルにおいて、5(8)のSフィールドが正常終了を意味する1に変更される。

10 (25-B) 第25サイクルの実行ステージ

ストア命令 fstore の内容が書き込まれているRS831において、ストア・データが書き込まれたので、そのデータをストア・バッファに書き込む。

以上で、IBのエントリ5(9)に書き込まれているストア命令に関して、ストア・アドレスとストア・データのストア・バッファへの書き込みが共に終了するので、次のサイクルにおいて、5(9)のSフィールドがストア実行可能を意味する1に変更される。

15

(26-C) 第26サイクルの完了ステージ

5-25の状態にあるIBのヘッダ・ポインタが示すエントリ5(8)において、Sフィールドが1となったので、5(8)の内容に基づいてCPS及びCRFを操作する。すなわち、IBのエントリ5(8)のソース・フィールドに書き込まれている〈8〉、〈9〉をCPSからポップし、デスティネーション・フィールドに書き込まれている〈10〉をCPSにプッシュし、CPSは4-26のようになる。エントリ・アドレスがCPSからポップされるCRFの6(8)、6(9)の各エントリでは、BBフィールドを0に変更する。CRFのエントリのアドレス〈8〉、〈9〉

20

25

をFLに登録する。さらに、ヘッダ・ポインタの値に1を加え9とし、これで、5(8)の命令は完了したことになる。

(27-C) 第27サイクルの完了ステージ

5 5-26の状態にあるIBのヘッダ・ポインタが示すエントリ5(9)においては、ストア命令が書き込まれており、Sフィールドが1となったので、LSUにデータ・バッファへのストアの実行を依頼する。さらに、5(9)の内容に基づいてCPS及びCRFを操作する。すなわち、IBのエントリ5(9)のソース・フィールドに書き込まれている〈10〉をCPSからポップし、CPSは4-27のようになる。エントリ・アドレスがCPSからポップされるCRFのエントリ6(10)では、BBフィールドを0に変更する。CRFのエントリ・アドレス〈10〉をFLに登録する。さらに、ヘッダ・ポインタの値に1を加え10とし、これで、5(9)の命令は完了したことになる。

15 以上で、本実施例の計算機システムにおいて $X=(A+B)/\{T-(A+B)\}$ の計算が完了したことになる。

本発明の計算機システムにおいては、分岐予測に基づく投機的実行を実現することができる。APS履歴ファイルは、投機的実行を可能にするために具備されるものである。条件分岐命令がデコードされるごとに、20 APS履歴ファイルの1エントリにAPSの全エントリ及びPP_OF_APSの内容を書き込むようになっている。以下に、本実施例の計算機システムにおいて、分岐予測に基づく投機的実行がどのように行われるかについて説明する。

25 前述のように、本実施例の計算機システムにおいては、命令デコード・発行ステージにおいて、命令をデコードして、命令の内容に応じてAPS及びCRFを操作すると共に、命令の内容をIB及び、必要な場合

には、適切な機能ユニットの空いているRSに書き込むようになっている。初期状態から命令が流れ始め最初の条件分岐命令がデコードされるまでの間、発行される命令に分岐タグとして0を付し、この分岐タグ0を、命令の内容が書き込まれるIBのエントリ（と機能ユニットのRS）
5 のBTフィールド、及び、割り付けられるCRFのエントリのCフィールドに書き込む。

最初の条件分岐命令がデコードされ分岐予測が行われる際に、分岐時点の状態を保存するために、APSの全エントリ及びPP_OF_APSの内容をAPS履歴ファイルのアドレス0のエントリに書き込む。上記の分岐予測に基づいた命令の流れにおいては、分岐タグとして1を付し、IB（、機能ユニットのRS）及びCRFの設定を行う。
10

2つ目の条件分岐命令がデコードされた時に、最初の条件分岐命令が未確定である場合、あるいは確定して予測が当たっていた場合には、APSの全エントリ及びPP_OF_APSの内容をAPS履歴ファイルのアドレス1のエントリに書き込む。2段目の分岐予測に基づいた命令の流れにおいては、分岐タグとして2を付し、IB（、機能ユニットのRS）及びCRFの設定を行う。
15

分岐予測が当たり続ければ以後同様に処理が進み、APS履歴ファイルへの書き込みはアドレス順に行われる。また、APS履歴ファイルのアドレスnのエントリに書き込みが行われてから次に書き込みが行われるまでの間に発行される命令には分岐タグとしてn+1を付すものとする。
20

分岐予測が外れた場合には、その条件分岐命令以降に発行された命令に付された分岐タグをもとに、各機能ユニットで実行中あるいはRSに保持されている命令をキャンセルし、CRFにおいてCフィールドで分岐タグを照合してその一致する全てのエントリの割り付けを解除し（B
25

Bフィールドを0に変更し、エントリ・アドレスをFLに登録する)、IBにおいてその条件分岐命令以降にキューに加えられたエントリを除外する(トレイル・ポインタの値をその条件分岐命令が書き込まれているエントリの次のアドレスに書き換える)。さらに、同じエントリ・アドレスにあるCPSのエントリとその内容が一致しないAPSの各エントリ及びPP_OF_APSに、その条件分岐命令がデコードされた際にAPS履歴ファイルに書き込まれた内容をコピーして、正しい位置の命令からデコード・発行を再開する。

以上のように、本発明の計算機システムにおいては、APS履歴ファイルを用いることによって、条件分岐命令がデコードされ分岐予測が行われる各々の時点の状態を再構成することができるので、分岐予測に基づく投機的実行が可能である。

以上では、説明を簡単にするため、1サイクルで同時にデコード・発行／完了できる命令は高々1つまでとして説明してきた。本発明の計算機システムにおいては、同時に複数の命令をデコード・発行／完了できる構成とすることが可能である。すなわち、FLがFIFOキューの構成となっていれば、割り付けのためにフリーな(空いている)CRFのエントリのアドレスをFLから取り出す順番は決まっており、各命令における何語ポップし何語プッシュするかというようなスタック操作の内容を把握して、同時に複数の命令をデコード・発行することができる。また、命令の完了は、基本的には、IBの書き込みの内容をもとに、命令がデコード・発行された際のAPSの動作を再現すべくCPSを操作し、エントリ・アドレスがCPSからポップされるCRFのエントリの割り付けを解除すればよいので、同時に複数の命令を完了できる構成とすることも可能である。

同時にデコード・発行／完了できる命令の数を多くするほど、命令デコード・発行ユニットその他の制御回路が複雑になると共に、A P S、C P S、I B、C R Fやデータ・バッファを構成する各レジスタ・ファイルのポートの数や演算ユニットの数、さらにC D Bを構成するバスの数などの点で、より多量のハードウェアが必要となる。

本発明の計算機システムにおいては、命令デコード・発行ステージの前段において、同時にデコード・発行する複数の命令の内容を統合した形式に変換するような構成とすることも可能である。あるいは、変換済のコードを命令キャッシュに蓄えておくような構成としてもよい。

たとえば、1 サイクル当り 2 命令までデコード・発行できるような構成をとる場合、前述の $X=(A+B)/(T-(A+B))$ を計算するプログラムは第 1 5 図の図表に示されるような内容に変換される。第 1 5 図の図表の各段には、同時にデコード・発行される 2 つの命令に基づく、PP_OF_APS の増分、A P S の操作内容及び I B の 2 エントリに書き込まれるべき命令の内容を示している。ここでは、命令発行前の A P S の内容を s2, s1, s0 (右端がスタックトップ)、F I F O キューの構成となっているフリー・リストの内容を (取り出される順に) f1, f2, f3 として記述しており、命令発行時にそれぞれ対応する C R F のエントリ・アドレスに置き換えられるようになっている。PP_OF_APS の増分の欄で示されるように A P S のスタックトップの位置が移動するが、A P S の操作内容の欄では、この移動後のスタックトップの位置が右端に対応している。また、'NC' は「変化なし (No Change)」を意味する。

本発明の計算機システムは、上述の実施例に限られるものではなく、細部の構成の異なる様々な実施例が存在する。たとえば、次のようなものをあげることができる。

①整数データ用／浮動小数点データ用、あるいは 32 ビット・データ用／ 64 ビット・データ用というようにデータ型別に C R F 及びフリー・リストを備え、さらに、それぞれに対応してひと揃いの実行ユニットを設けたもの。

5 ②複数組の前進ポインタ・スタックと完了ポインタ・スタックを設けた構成とし、メソッドの呼び出し／メソッドからの復帰の際に、用いる前進ポインタ・スタックと完了ポインタ・スタックの組を変更するようにしたもの。

10 ③複数組の前進ポインタ・スタック、完了ポインタ・スタック、命令バッファ、及びデータ・バッファを設け、複数のスレッドを並行して処理できる構成としたもの。

その他にも、レジスタ・ベースのスーパースカラ・アーキテクチャにおいて考えられる様々な変形の多くが、本発明に基づく計算機システムにおいても適用できる。

15

命令セットがスタック型の命令及びレジスタ型の命令を共に含むような、本発明に基づく計算機システムも実現可能である。すなわち、前進ポインタ・スタック及び完了ポインタ・スタックに加えて、各論理レジスタにそれぞれ対応して設けられた各エントリに統合レジスタ・ファイル

20 のエントリ・アドレスが書き込まれるようになっている前進レジスタ・マッピング・テーブル及び完了レジスタ・マッピング・テーブルを具備する構成とし、スタック型の命令に関しては前進／完了ポインタ・スタックを操作し、レジスタ型の命令に関しては前進／完了レジスタ・マッピング・テーブルをアクセスするようにする。この場合、前進ポインタ・スタック履歴ファイルの代わりに、各々のエントリに前進ポインタ・スタック及び前進レジスタ・マッピング・テーブル双方の内容が書き込まれるよ

25

うになっている前進履歴ファイルを具備する必要がある。

産業上の利用可能性

5 以上のように、本発明の計算機システムは、正確な例外処理を保証しつつ、スタックマシンの機械語で記述されたプログラムを out-of-order で処理するものであるが、複数の機能ユニットによる並列処理やそれらのパイプライン化によって効率的な処理を行うことが可能であるという利点がある。

10 また、分岐予測に基づく投機的実行や、1 サイクル当り複数命令のデコード・発行／完了の可能な構成とすることにより、さらなる高速化が可能である。

15

20

25

請 求 の 範 囲

1. データ・キャッシュ (11) と

変数データを保持できるようになっているデータ・バッファ (12)

5 と

各々のエントリにデータが書き込まれるようになっている統合レジスタ・ファイル (6) と

各々のエントリに該統合レジスタ・ファイル (6) のエントリのアドレスが書き込まれるようになっている前進ポインタ・スタック (3) と

10 各々のエントリに個々の命令の内容が書き込まれるようになっている
F I F O (First In First Out) キューの構成となっている命令バッファ
(5) と

演算を実行するようになっている演算ユニット (80, 81) と

15 該データ・キャッシュ (11) 及び該データ・バッファ (12) にアクセスできるようになっているロード／ストア・ユニット (83) とを具備し、

オペランド・スタックに対するポップ操作を含む命令がデコードされた場合には、ポップすべき語数と同じ数だけ該統合レジスタ・ファイル
(6) のエントリのアドレスを該前進ポインタ・スタック (3) からポ
20 ップし、

オペランド・スタックに対するプッシュ操作を含む命令がデコードされた場合には、プッシュすべき語数と同じ数だけ割り付けられていない
該統合レジスタ・ファイル (6) のエントリを割り付け、該割り付けた
該統合レジスタ・ファイル (6) のエントリのアドレスを該前進ポイン
25 タ・スタック (3) にプッシュし、

デコードされた命令の内容を、ポップ／プッシュ操作を伴う命令の場

合にはポップ／プッシュされる該統合レジスタ・ファイル（６）のエントリのアドレスと共に、該命令バッファ（５）に書き込み、

- 該命令バッファ（５）に保持されている未実行の命令をデータ駆動の原理に基づき処理するようになっている、スタックマシンの機械語で記述されたプログラムを実行する計算機システム。
- 5

２．各々のエントリに該統合レジスタ・ファイル（６）のエントリのアドレスが書き込まれるようになっている完了ポインタ・スタック（４）を具備し、

- 該命令バッファ（５）の先頭のエントリにおいて保持されている命令の完了が可能である、あるいはそうなりと、該命令バッファ（５）の該先頭のエントリの内容に基づき、該保持されている命令がデコードされた際の該前進ポインタ・スタック（３）の動作を再現すべく該完了ポインタ・スタック（４）を操作し、該命令バッファ（５）から該先頭のエントリを除外し、
- 10

- ポップ操作によって該完了ポインタ・スタック（４）におけるアドレスの保持が無くなった該統合レジスタ・ファイル（６）のエントリの割り付けを解除するようになっている請求項１記載の計算機システム。
- 15

３．割り付けられていない該統合レジスタ・ファイル（６）のエントリのアドレスを保持するフリー・リストを具備し、

- 初期状態においては、該統合レジスタ・ファイル（６）の全てのエントリのアドレスが該フリー・リストに登録されており、
- 20

該統合レジスタ・ファイル（６）のエントリを割り付ける必要がある場合に、該フリー・リストから割り付けられていない該統合レジスタ・ファイル（６）のエントリのアドレスを取り出し、

- 割り付けが解除された該統合レジスタ・ファイル（６）のエントリのアドレスを該フリー・リストに登録するようになっている請求項２記載
- 25

の計算機システム。

4. 各々のエントリに該前進ポインタ・スタック (3) の内容が書き込まれるようになっている前進ポインタ・スタック履歴ファイル (3 a) を具備し、

- 5 該統合レジスタ・ファイル (6) が各々のエントリに分岐タグも書き込まれるような構成となっており、

命令のデコードの際に、割り付けられる該統合レジスタ・ファイル (6) のエントリに分岐タグを書き込むようになっており、

- 10 条件分岐命令がデコードされるごとに、該前進ポインタ・スタック履歴ファイル (3 a) の1エントリに該前進ポインタ・スタック (3) の内容を書き込み、分岐タグを変更して、分岐予測に基づく投機的実行を行い、

- 15 分岐予測が外れた場合には、その条件分岐命令以降にデコードされた命令を無効にし、該条件分岐命令以降にデコードされた命令に付した分岐タグが書き込まれている該統合レジスタ・ファイル (6) のエントリの割り付けを解除し、該条件分岐命令がデコードされた際に書き込みの行われた該前進ポインタ・スタック履歴ファイル (3 a) のエントリの内容を、該前進ポインタ・スタック (3) にコピーして、正しい位置の命令から処理を再開するようになっている請求項2記載の計算機システム。
- 20

5. 該前進ポインタ・スタック (3) と該完了ポインタ・スタック (4) が循環型のバッファの構成となっており、

- 25 該前進ポインタ・スタック (3) 及び該完了ポインタ・スタック (4) で、該統合レジスタ・ファイル (6) のエントリのアドレスを保持する最下位のエントリの内容が一致する場合には、該前進ポインタ・スタック (3) 及び該完了ポインタ・スタック (4) において該最下位のエン

トリにおける該統合レジスタ・ファイル（６）のエントリのアドレスの保持を解除し、該一致する内容で示される該統合レジスタ・ファイル（６）のエントリに書き込まれているデータを該データ・バッファ（１２）にストア（Spill）することができるようになっており、

- 5 該データ・バッファ（１２）から該統合レジスタ・ファイル（６）にロード（Fill）すべきデータに対し、割り付けられていない該統合レジスタ・ファイル（６）の１エントリを割り付け、該データを書き込み、該前進ポインタ・スタック（３）及び該完了ポインタ・スタック（４）において、該統合レジスタ・ファイル（６）のエントリのアドレスを保持する最下位のエントリの１つ下のエントリに該データが書き込まれる該統合レジスタ・ファイル（６）のエントリのアドレスを保持させることによって、該データ・バッファ（１２）から該統合レジスタ・ファイル（６）へのデータのロード（Fill）を行えるようになっている請求項２記載の計算機システム。

- 15 6. 該フリー・リストがF I F Oキューの構成となっており、

同時に複数の命令をデコードし、該前進ポインタ・スタック（３）の操作、該統合レジスタ・ファイル（６）のエントリの割り付け及び該命令バッファ（５）の連続する複数のエントリへの命令の内容の書き込みを行う機能と、

- 20 同時に該命令バッファ（５）の連続する複数のエントリに書き込まれている内容に基づき、該完了ポインタ・スタック（４）の操作及び該統合レジスタ・ファイル（６）のエントリの割り付けの解除を行う機能を有する請求項３記載の計算機システム。

- 25 7. 各々のエントリにデータが書き込まれるようになっている統合レジスタ・ファイル（６）と、

各々のエントリに該統合レジスタ・ファイル（６）のエントリのアド

レスが書き込まれるようになっている前進ポインタ・スタック（３）と、
各々のエントリに個々の命令の内容が書き込まれるようになっている
F I F O（First In First Out）キューの構成となっている命令バッファ
（５）と、

- 5 各々適当な数のリザーベーション・ステーションを備える機能ユニット
群と、

該統合レジスタ・ファイル（６）及び該機能ユニット群の間でデータ
を該統合レジスタ・ファイル（６）のエントリのアドレスと共に分配す
るようになっている共通データ・バス（８）とを具備し、

- 10 デコードされた命令においてオペランド・スタックに対するポップ操
作が規定されている場合には、ポップすべき語数と同じ数だけ該統合レ
ジスタ・ファイル（６）のエントリのアドレスを該前進ポインタ・スタッ
ク（３）からポップし、

- 15 デコードされた命令においてオペランド・スタックに対するプッシュ
操作が規定されている場合には、プッシュすべき語数と同じ数だけ割り
付けられていない該統合レジスタ・ファイル（６）のエントリを割り付
け、該割り付けた該統合レジスタ・ファイル（６）のエントリのアドレ
スを該前進ポインタ・スタック（３）にプッシュし、

- 20 デコードされた命令の内容を、ポップ／プッシュ操作を伴う命令の場
合にはポップ／プッシュされる該統合レジスタ・ファイル（６）のエン
トリのアドレスと共に、該命令バッファ（５）に書き込み、

命令の種類に応じて、必要な場合には、該命令バッファ（５）に書き
込まれる命令の内容を、該命令を実行する機能ユニットの命令の内容を
保持していないリザーベーション・ステーションにも書き込み、

- 25 該前進ポインタ・スタック（３）からエントリ・アドレスがポップされ
る該統合レジスタ・ファイル（６）のエントリの各々の内容が読み出さ

れ、データが既に書き込まれている場合には、エントリ・アドレスとデータが該共通データ・バス（８）に載せられるようになっており、

該リザベーション・ステーションの各々において、命令の内容を保持している場合、そこに書き込まれているソース・データを保持すべき該
5 統合レジスタ・ファイル（６）のエントリのアドレスと該共通データ・バス（８）を通じて送られてくる該統合レジスタ・ファイル（６）のエントリのアドレスが比較され一致すればデータが取り込まれ、必要なソース・データが揃った後に該命令の実行が開始され、

該機能ユニット群の各々において、デコードの際該前進ポインタ・スタック（３）に該統合レジスタ・ファイル（６）のエントリのアドレス
10 がプッシュされるような命令の実行の結果得られたデータを該プッシュされた該統合レジスタ・ファイル（６）の該エントリの該アドレスと共に該共通データ・バス（８）に載せ、

該統合レジスタ・ファイル（６）においては、該共通データ・バス（８）
15 を通じて送られてくる内容に基づきデータの書き込みを行うことによって、スタックマシンの機械語で記述されたプログラムを実行する計算機システム。

８．各々のエントリに該統合レジスタ・ファイル（６）のエントリのアドレスが書き込まれるようになっている完了ポインタ・スタック（４）
20 を具備し、

該命令バッファ（５）におけるキューの先頭のエントリに保持されている命令の完了が可能である、あるいはそうなると、該キューの該先頭のエントリの内容に基づき、該保持されている命令がデコードされた際の該前進ポインタ・スタック（３）の動作を再現すべく該完了ポインタ・
25 スタック（４）を操作し、該キューから該先頭のエントリを除外し、

ポップ操作によって該完了ポインタ・スタック（４）におけるアドレ

スの保持が無くなった該統合レジスタ・ファイル（６）のエントリの割り付けを解除するようになっている請求項７記載の計算機システム。

5

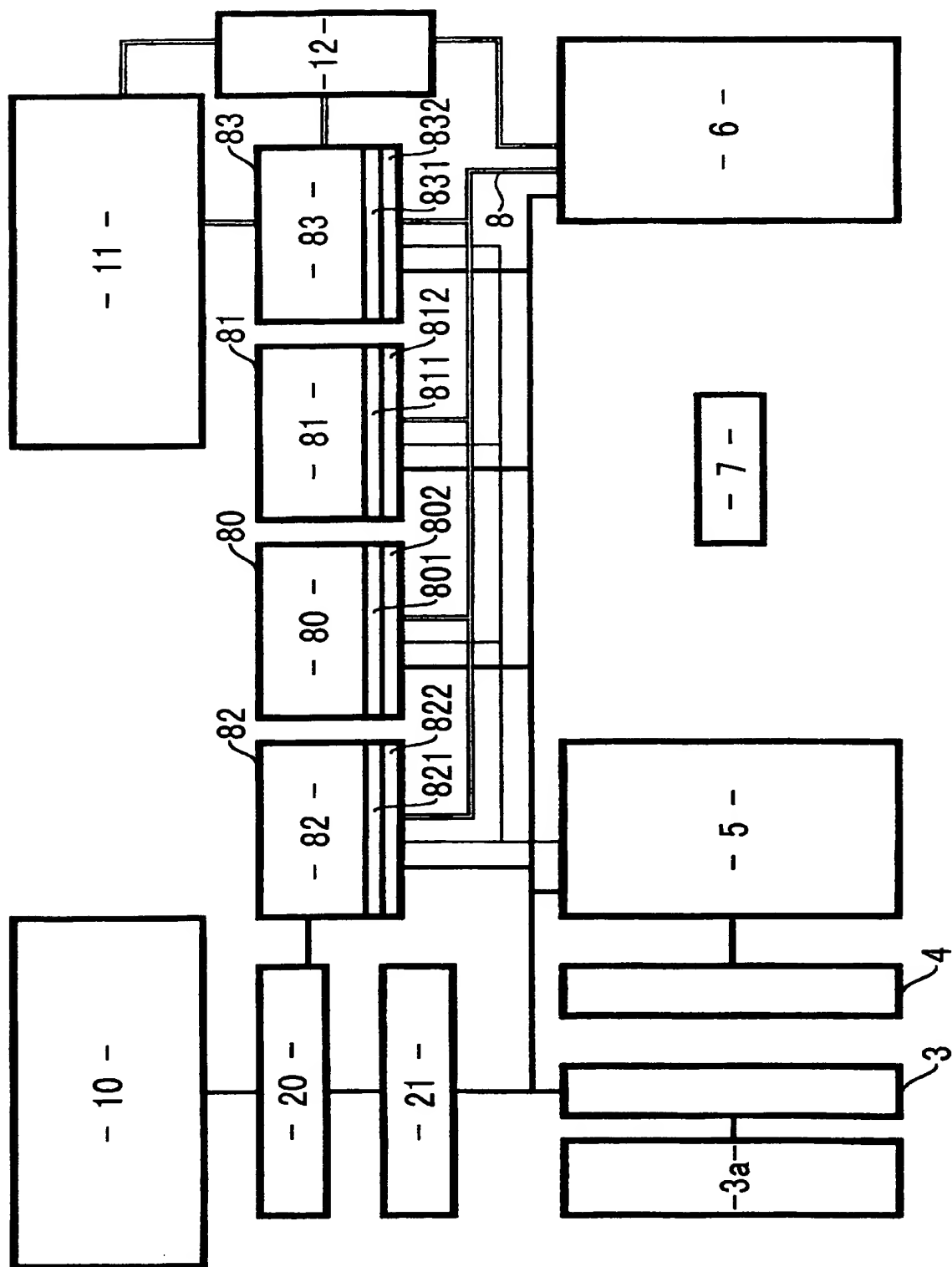
10

15

20

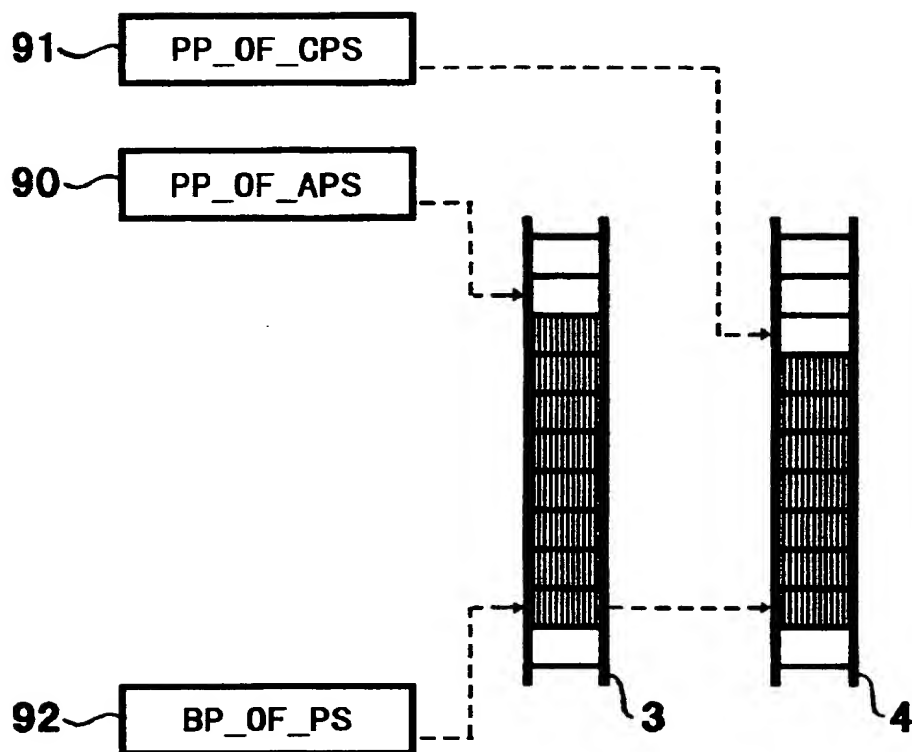
25

第 1 図

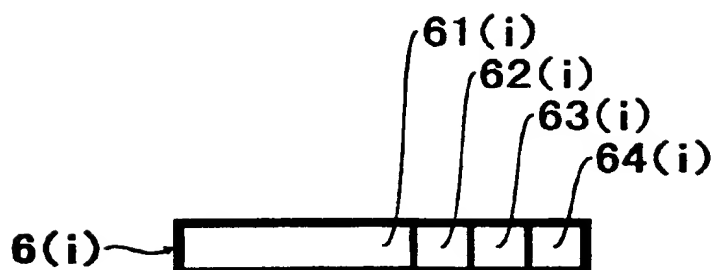


THIS PAGE BLANK (USPTO)

第 2 図

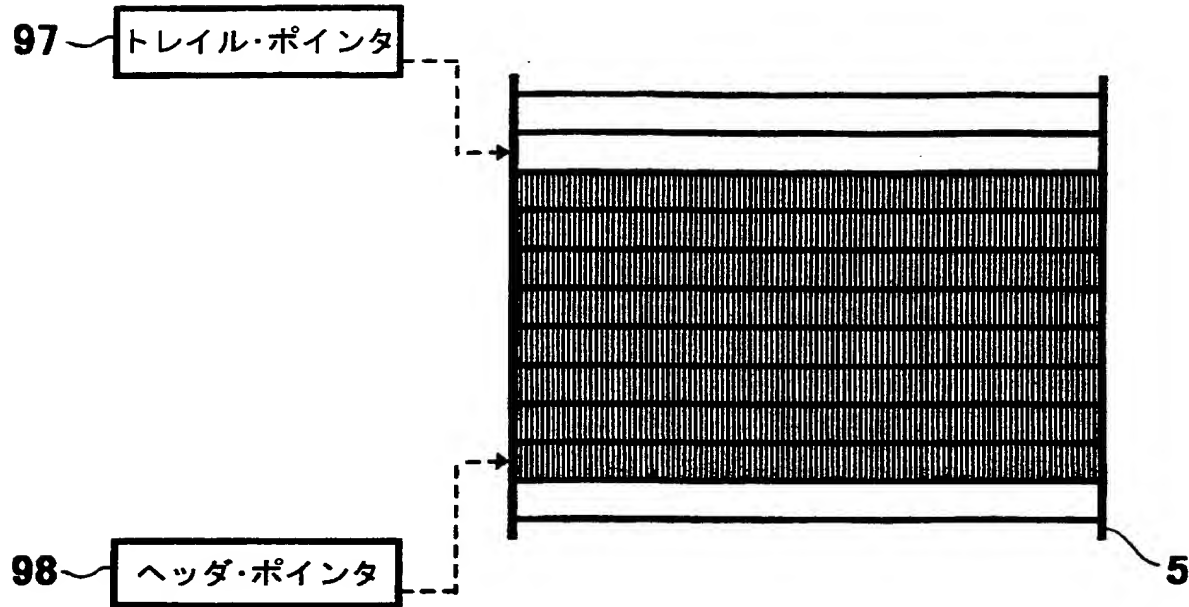


第 3 図

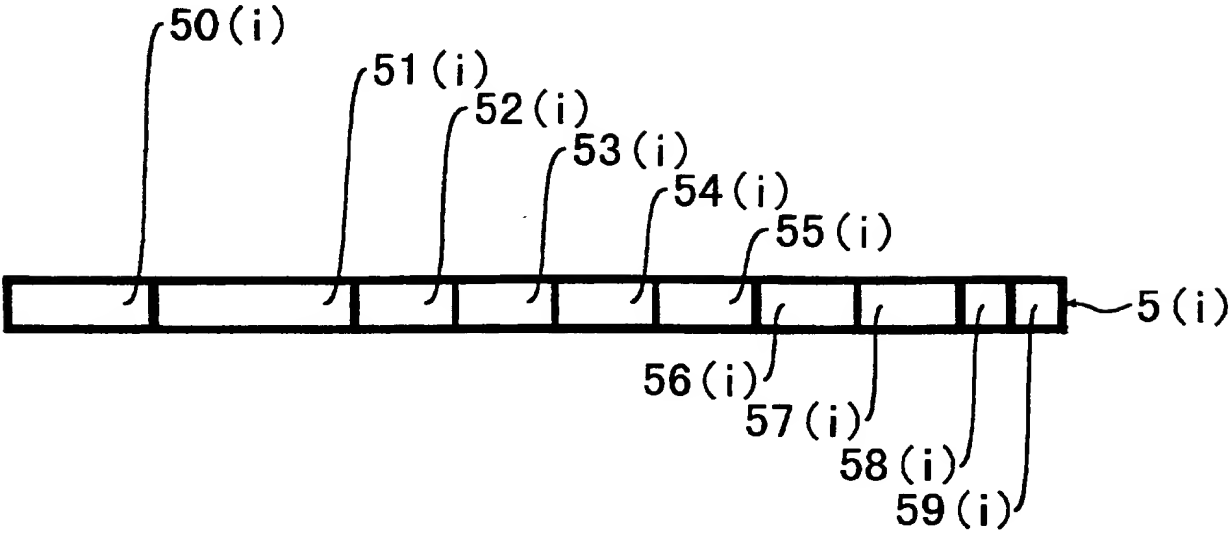


THIS PAGE BLANK (USPTO)

第 4 図

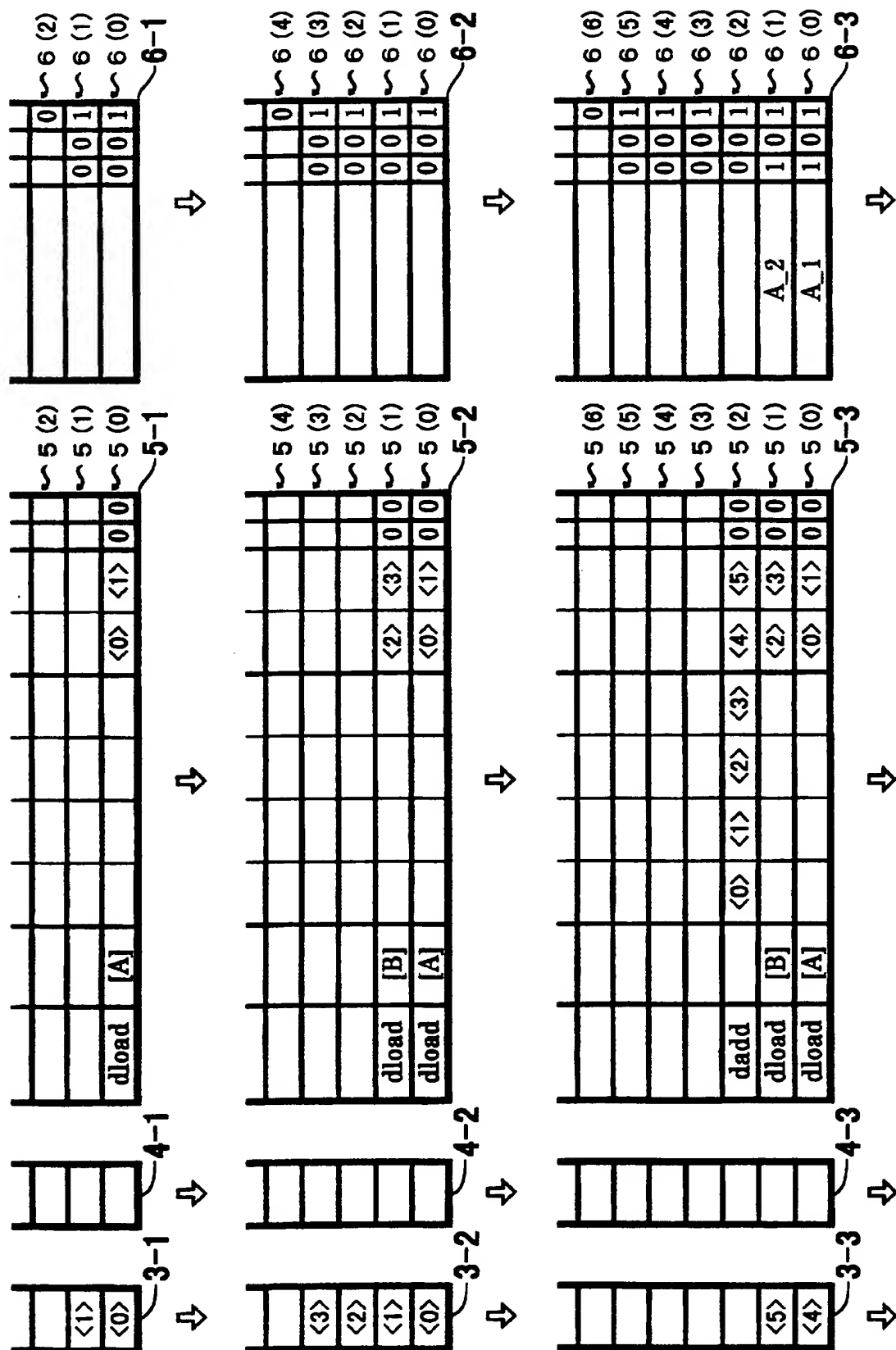


第 5 図



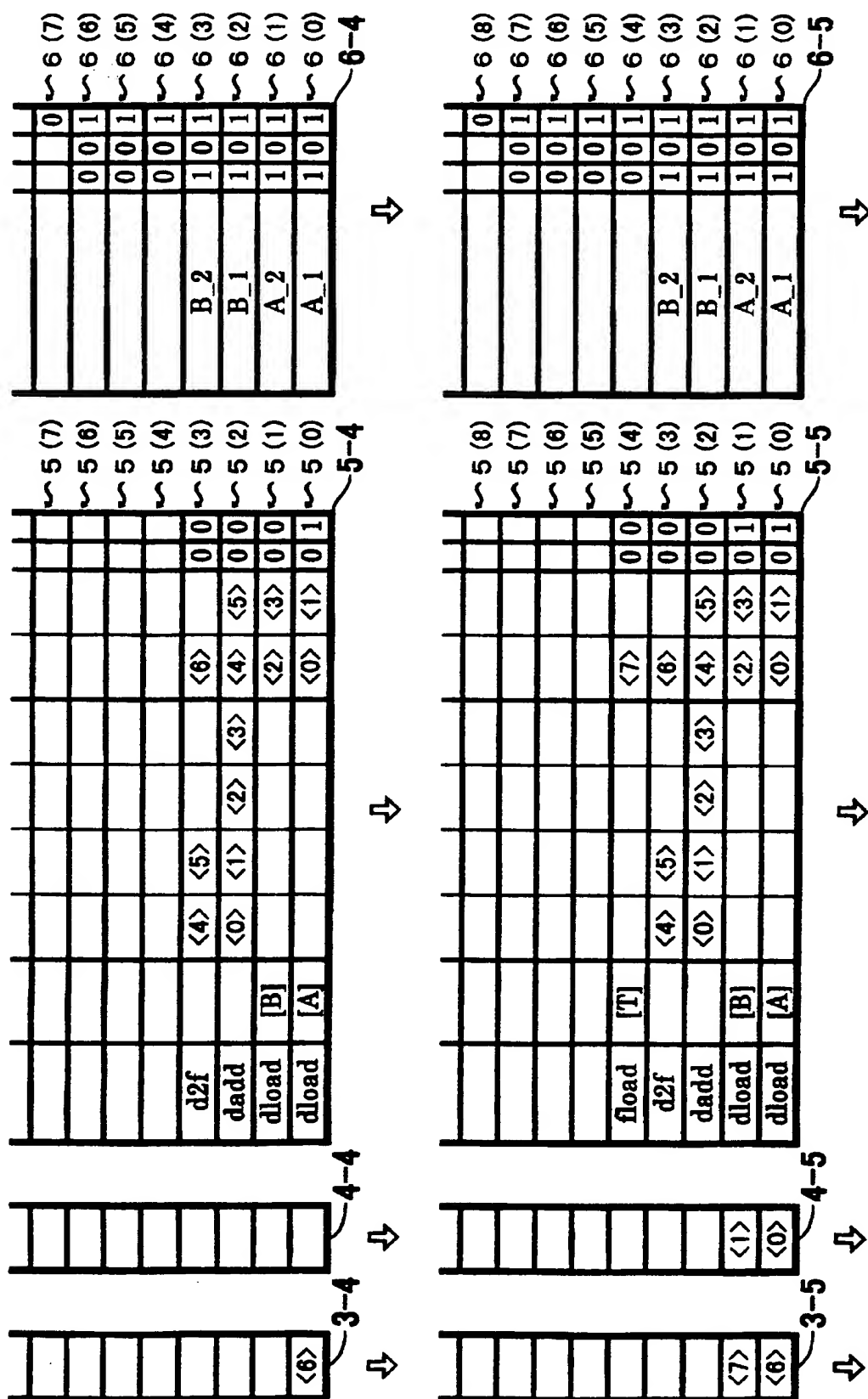
THIS PAGE BLANK (USPTO)

第 6 区



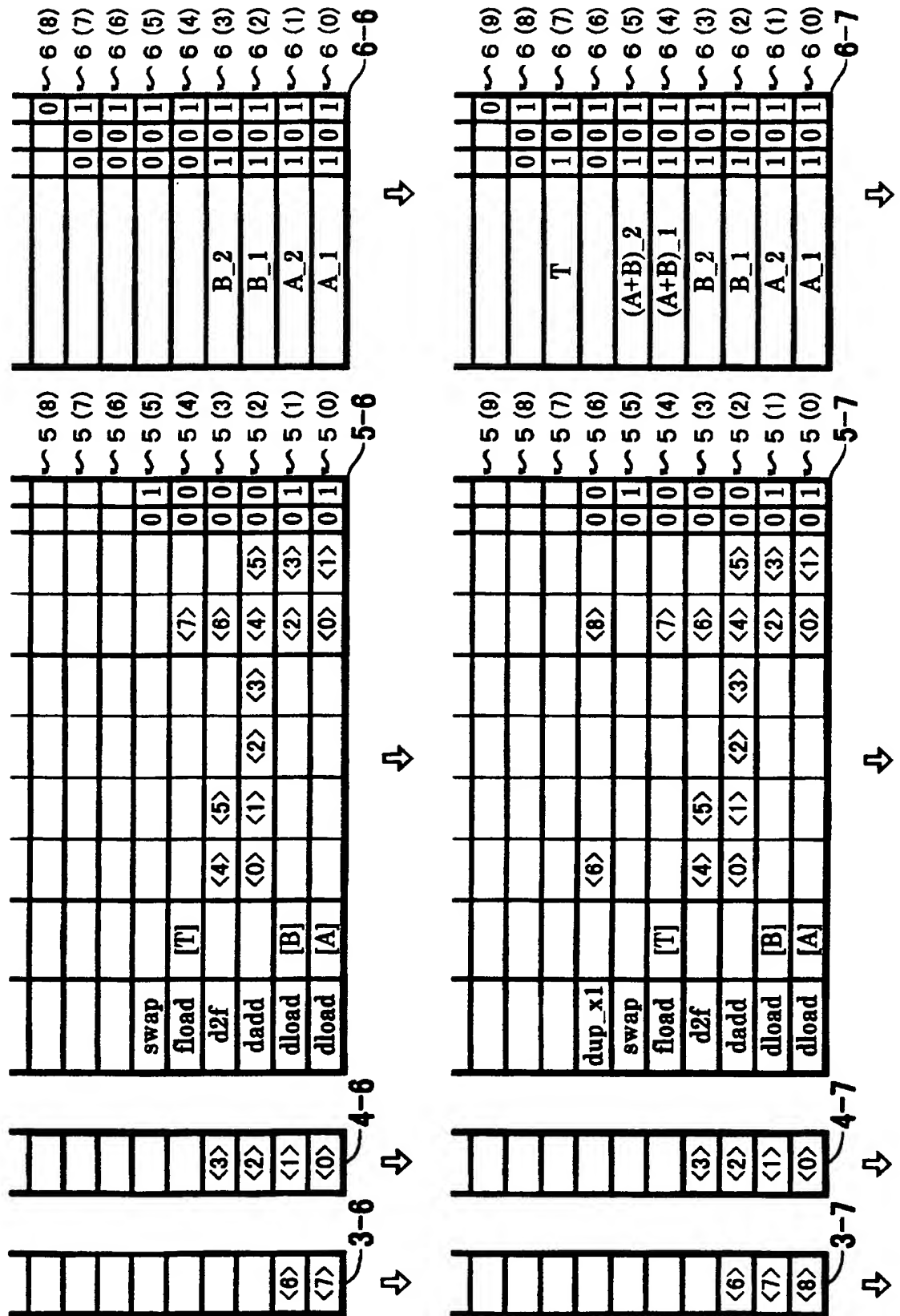
THIS PAGE BLANK (USPTO)

第七



THIS PAGE BLANK (USPTO)

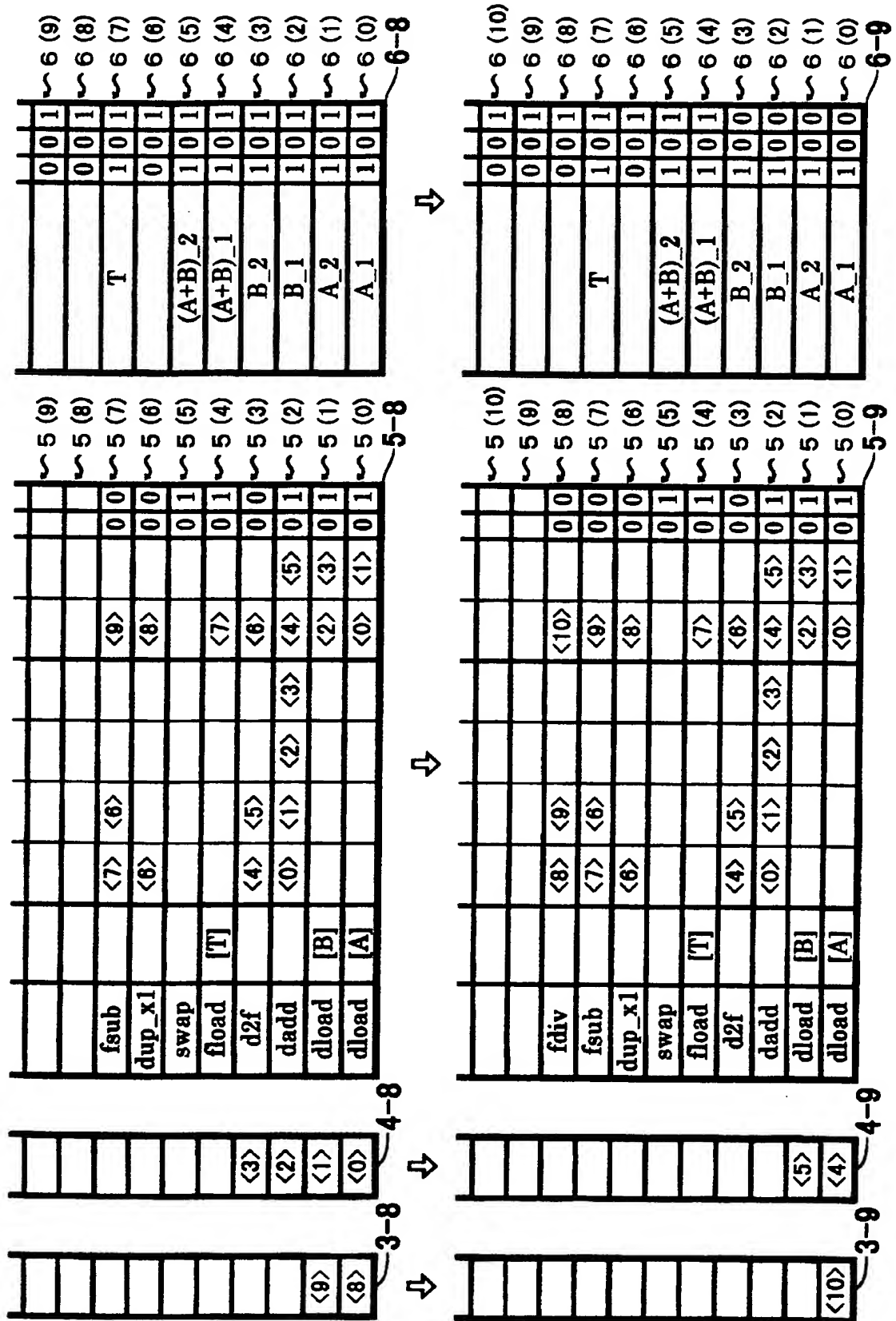
第 8 図



THIS PAGE BLANK (USPTO)

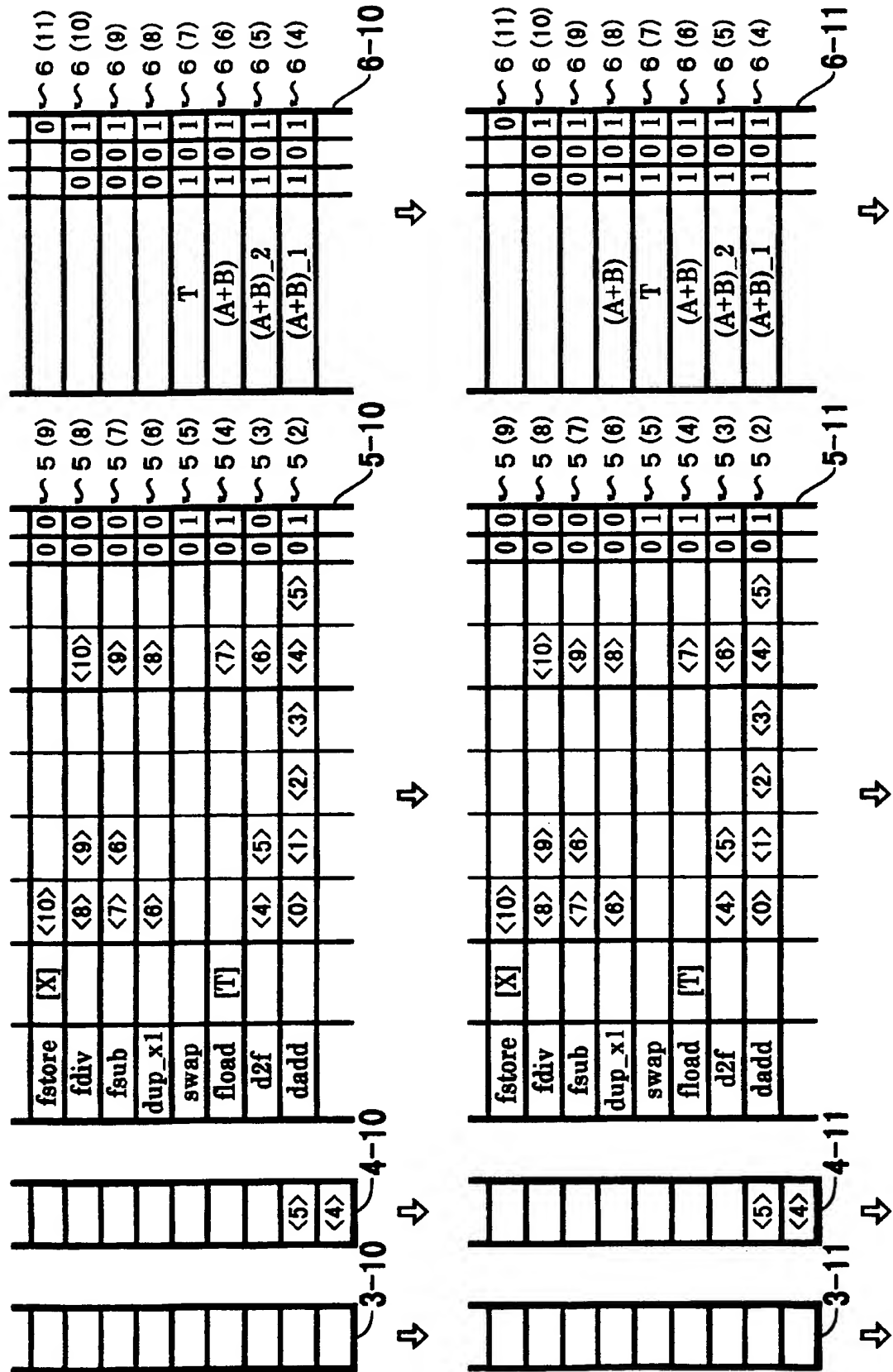
7/13

第 9 図



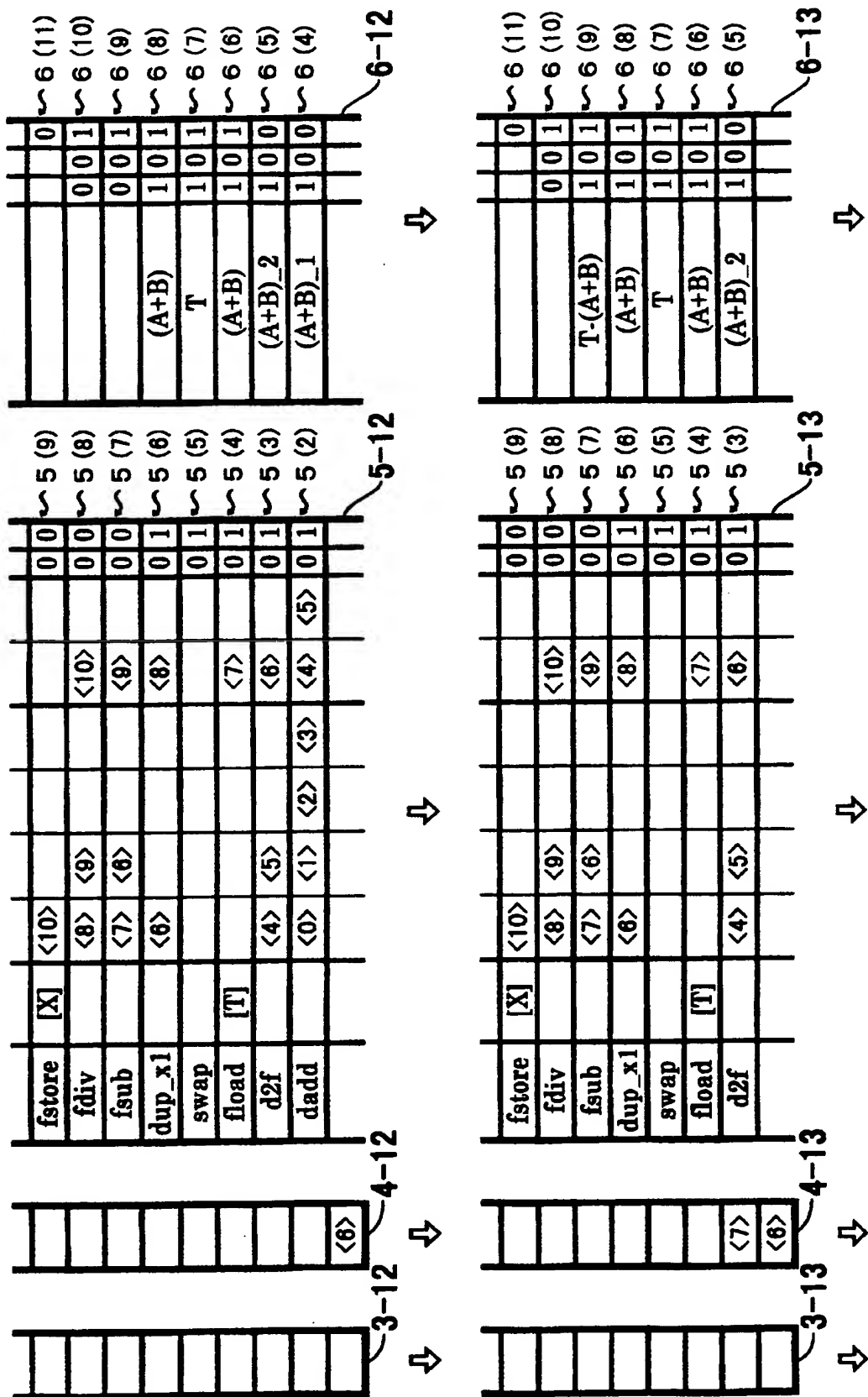
THIS PAGE BLANK (USPTO)

第 10 図



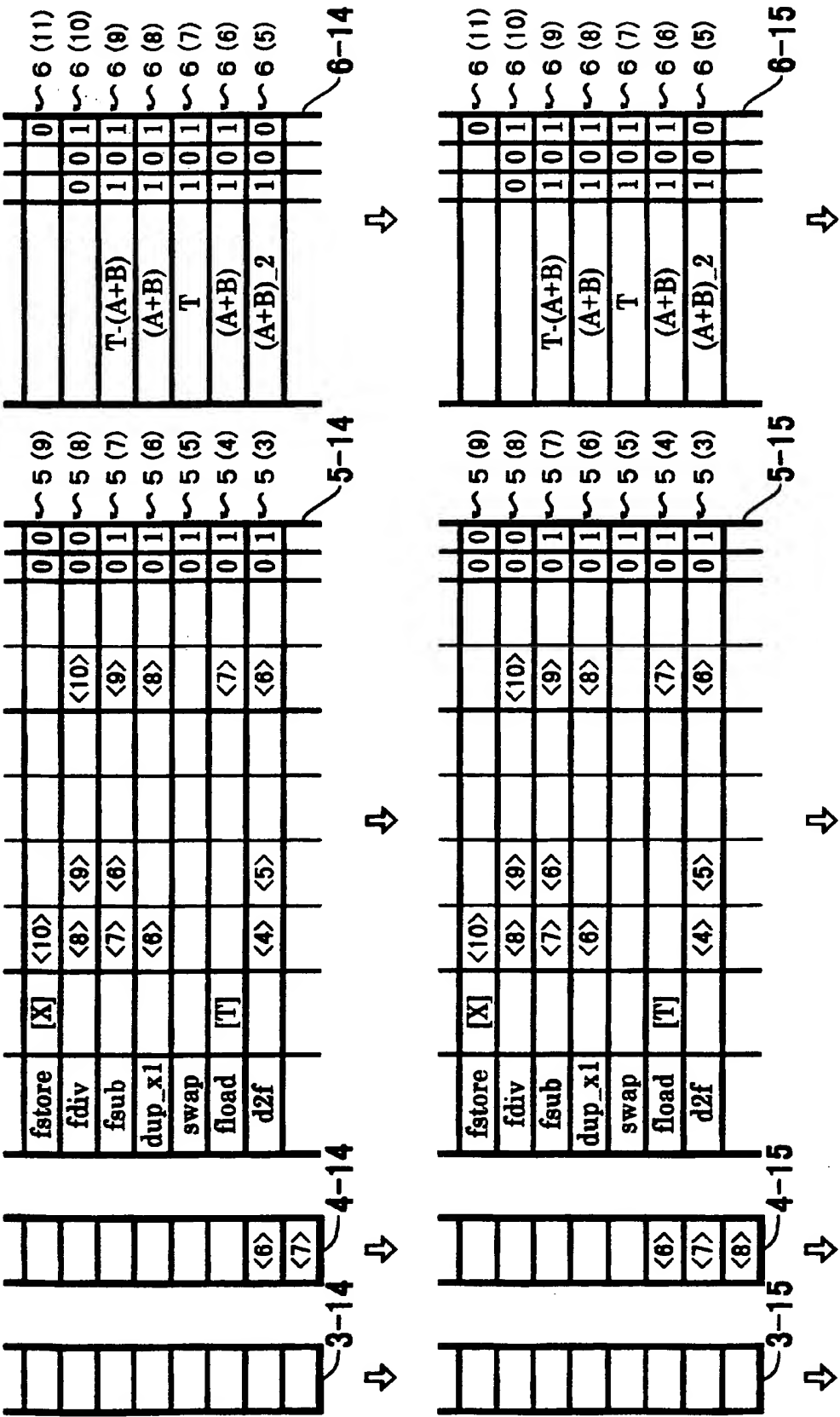
THIS PAGE BLANK (USPTO)

第 1 1 1 図



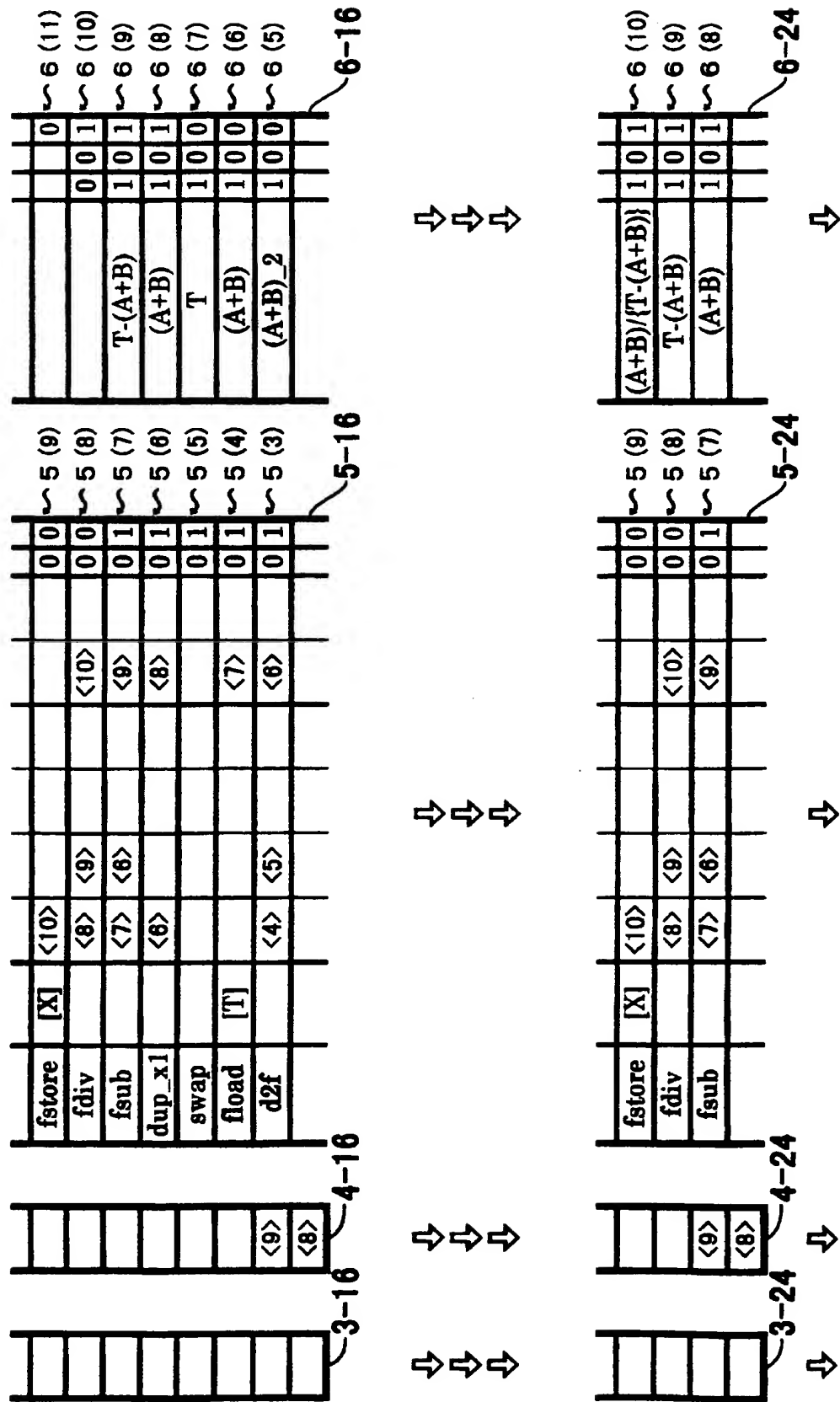
THIS PAGE BLANK (USPTO)

第 1 2 図



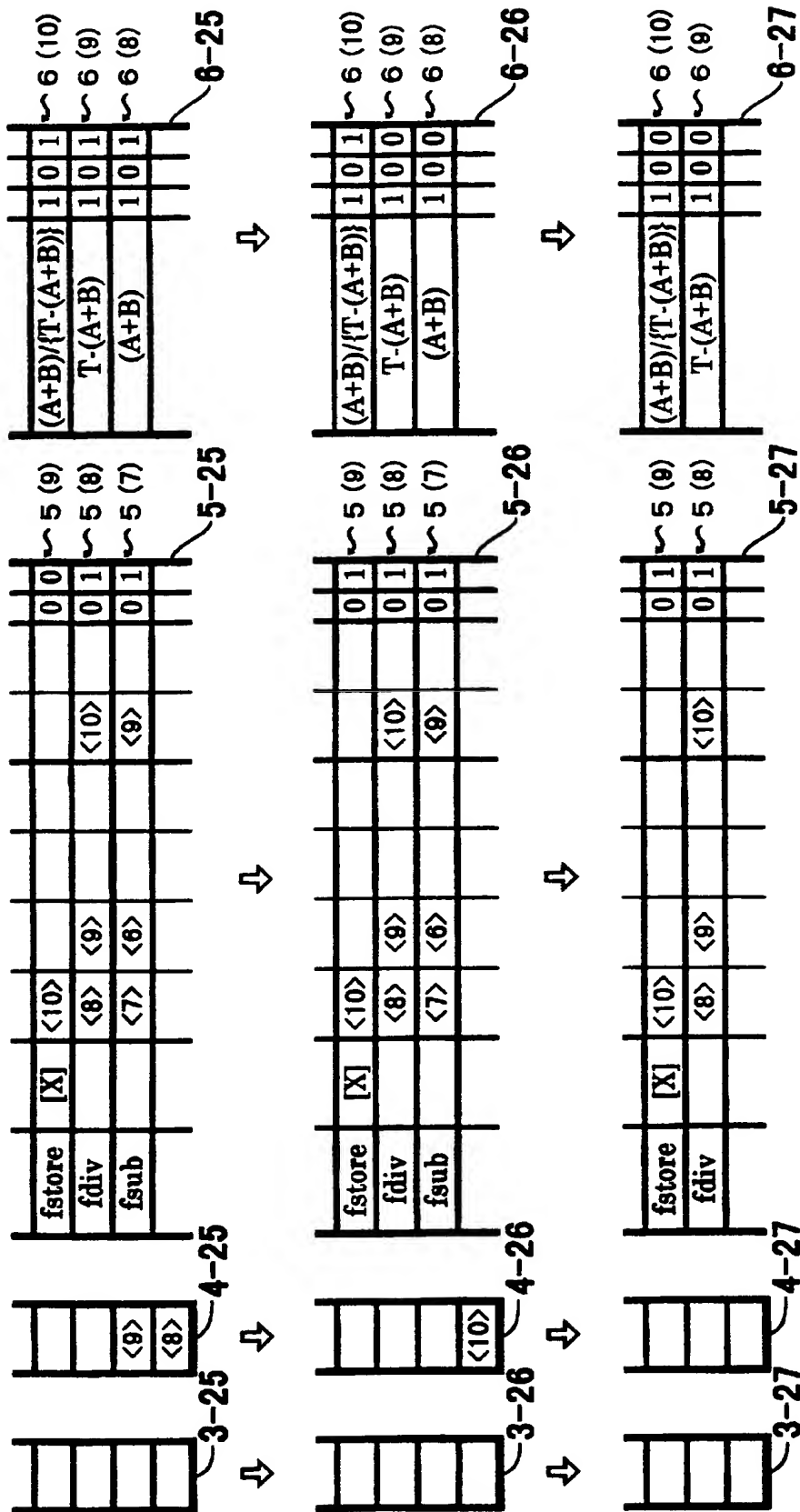
THIS PAGE BLANK (USPTO)

第 1 3 図



THIS PAGE BLANK (USPTO)

第 1 4 図



THIS PAGE BLANK (USPTO)

第 1 5 図

PP_OF_APS の増分	A P S の操作内容	I B への書き込み内容																					
+4	<table><tr><td>NC</td><td>f1</td><td>f2</td><td>f3</td><td>f4</td></tr></table>	NC	f1	f2	f3	f4	<table><tr><td>dload</td><td>[A]</td><td></td><td></td><td></td><td></td><td>f1</td><td>f2</td></tr><tr><td>dload</td><td>[B]</td><td></td><td></td><td></td><td></td><td>f3</td><td>f4</td></tr></table>	dload	[A]					f1	f2	dload	[B]					f3	f4
NC	f1	f2	f3	f4																			
dload	[A]					f1	f2																
dload	[B]					f3	f4																
-3	<table><tr><td>NC</td><td>NC</td><td>NC</td><td>NC</td><td>f3</td></tr></table>	NC	NC	NC	NC	f3	<table><tr><td>dadd</td><td></td><td>s3</td><td>s2</td><td>s1</td><td>s0</td><td>f1</td><td>f2</td></tr><tr><td>d2f</td><td></td><td>f1</td><td>f2</td><td></td><td></td><td>f3</td><td></td></tr></table>	dadd		s3	s2	s1	s0	f1	f2	d2f		f1	f2			f3	
NC	NC	NC	NC	f3																			
dadd		s3	s2	s1	s0	f1	f2																
d2f		f1	f2			f3																	
+1	<table><tr><td>NC</td><td>NC</td><td>NC</td><td>f1</td><td>s0</td></tr></table>	NC	NC	NC	f1	s0	<table><tr><td>fload</td><td>[T]</td><td></td><td></td><td></td><td></td><td>f1</td><td></td></tr><tr><td>swap</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>	fload	[T]					f1		swap							
NC	NC	NC	f1	s0																			
fload	[T]					f1																	
swap																							
0	<table><tr><td>NC</td><td>NC</td><td>NC</td><td>f1</td><td>f2</td></tr></table>	NC	NC	NC	f1	f2	<table><tr><td>dup_x1</td><td></td><td>s0</td><td></td><td></td><td></td><td>f1</td><td></td></tr><tr><td>fsub</td><td></td><td>s1</td><td>s0</td><td></td><td></td><td>f2</td><td></td></tr></table>	dup_x1		s0				f1		fsub		s1	s0			f2	
NC	NC	NC	f1	f2																			
dup_x1		s0				f1																	
fsub		s1	s0			f2																	
-2	<table><tr><td>NC</td><td>NC</td><td>NC</td><td>NC</td><td>NC</td></tr></table>	NC	NC	NC	NC	NC	<table><tr><td>fdiv</td><td></td><td>s1</td><td>s0</td><td></td><td></td><td>f1</td><td></td></tr><tr><td>fstore</td><td>[X]</td><td>f1</td><td></td><td></td><td></td><td></td><td></td></tr></table>	fdiv		s1	s0			f1		fstore	[X]	f1					
NC	NC	NC	NC	NC																			
fdiv		s1	s0			f1																	
fstore	[X]	f1																					

THIS PAGE BLANK (user)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02512

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F9/34Int.Cl⁷ G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F9/30 - 9/44Int.Cl⁷ G06F15/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CSDB (Japanese Patent Office), [JVM/CW*stack/CW]

Patent FILE (PATOLIS), [IN=(Seki N Hajime)]

Utility Model FILE (PATOLIS), [IN=(Seki N Hajime)]

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-40105, A (International Business Machines Corp.), 13 February, 1998 (13.02.98), Full text; Figs. 1 to 7 (Family: none)	1-8
A	JP, 10-333905, A (Kofu Nippon Denki K.K.), 18 December, 1998 (18.12.98), Full text; Figs. 1 to 7 (Family: none)	1-8
A	JP, 6-67878, A (Matsushita Electric Ind. Co., Ltd.), 11 March, 1994 (11.03.94), Full text; Figs. 1 to 5 (Family: none)	1-8
A	JP, 11-24926, A (NEC Corporation), 29 January, 1999 (29.01.99), Full text; Figs. 1 to 3 (Family: none)	1-8
A	JP, 7-13770, A (Fujitsu Limited), 17 January, 1995 (17.01.95), Full text; Figs. 1 to 14 (Family: none)	1-8
A	bit, Vol.30, No.3 (Japan), Kyoritsu Shuppan Kabushiki Kaisha, (01.03.98)	1-8

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
07 July, 2000 (07.07.00)Date of mailing of the international search report
25 July, 2000 (25.07.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02512

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	pp. 60-69	

国際調査報告

国際出願番号 PCT/JP00/02512

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F9/34
Int. Cl⁷ G06F9/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F9/30 - 9/44
Int. Cl⁷ G06F15/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

CSDB (日本国特許庁), [JVM/CW*スタック/CW]
特許ファイル (PATOLIS), [IN= (関 N -)]
実用ファイル (PATOLIS), [IN= (関 N -)]

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-40105, A (インターナショナル・ビジネス・マ シーンズ・コーポレーション) 13. 2月. 1998 (13. 02. 98) 全文, 第1-7図 (ファミリーなし)	1-8
A	JP, 10-333905, A (甲府日本電気株式会社) 18. 12月. 1998 (18. 12. 98) 全文, 第1-7図 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
07. 07. 00

国際調査報告の発送日
25.07.00

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
伊知地 和之 印
5B 9291
電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 6-67878, A (松下電器産業株式会社) 11. 3月. 1994 (11. 03. 94) 全文, 第1-5図 (ファミリーなし)	1-8
A	J P, 11-24926, A (日本電気株式会社) 29. 1月. 1999 (29. 01. 99) 全文, 第1-3図 (ファミリーなし)	1-8
A	J P, 7-13770, A (富士通株式会社) 17. 1月. 1995 (17. 01. 95) 全文, 第1-14図 (ファミリーなし)	1-8
A	bit, Vol. 30, No. 3 (日), 共立出版株式会社, (01. 03. 98) 第60-69頁	1-8

P C T

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 R 0 0 2 - P C T	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 2 5 1 2	国際出願日 (日.月.年) 1 7 . 0 4 . 0 0	優先日 (日.月.年) 2 2 . 0 4 . 9 9
出願人(氏名又は名称) 関 一		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☐ 出願人が提出したものを承認する。

☒ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

第Ⅲ欄 要約 (第1ページの5の続き)

スタックマシンの機械語で記述されたプログラムを高速で処理する計算機システムであって、命令がデコードされるごとに、その命令の内容に応じて前進ポインタ・スタック及び統合レジスタ・ファイルを操作すると共にその命令の内容を命令バッファ及び、必要な場合には、適切な機能ユニットの空いているリザーベーション・ステーションに書き込むようになっている。命令バッファに保持されている未実行の命令は、out-of-orderで処理されるようになっている。

命令バッファの先頭のエントリにおいて保持されている命令の完了が可能である、あるいはそうなると、その命令バッファの先頭のエントリの内容に基づき、保持されている命令がデコードされた際の前進ポインタ・スタックの動作を再現すべく完了ポインタ・スタックを操作し、命令バッファからその先頭のエントリを除外するようになっている。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G06F9/34Int. Cl.⁷ G06F9/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G06F9/30 - 9/44Int. Cl.⁷ G06F15/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

CSDB (日本国特許庁), [JVM/CW*スタック/CW]

特許ファイル (PATOLIS), [IN= (関 N -)]

実用ファイル (PATOLIS), [IN= (関 N -)]

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 10-40105, A (インターナショナル・ビジネス・マ シーンズ・コーポレーション) 13. 2月. 1998 (13. 02. 98) 全文, 第1-7図 (ファミリーなし)	1-8
A	J P, 10-333905, A (甲府日本電気株式会社) 18. 12月. 1998 (18. 12. 98) 全文, 第1-7図 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07. 07. 00

国際調査報告の発送日

25.07.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊知地 和之

印

5 B

9291

電話番号 03-3581-1101 内線 3545

THIS PAGE BLANK

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 6-67878, A (松下電器産業株式会社) 11. 3月. 1994 (11. 03. 94) 全文, 第1-5図 (ファミリーなし)	1-8
A	J P, 11-24926, A (日本電気株式会社) 29. 1月. 1999 (29. 01. 99) 全文, 第1-3図 (ファミリーなし)	1-8
A	J P, 7-13770, A (富士通株式会社) 17. 1月. 1995 (17. 01. 95) 全文, 第1-14図 (ファミリーなし)	1-8
A	bit, Vol. 30, No. 3 (日), 共立出版株式会社, (01. 03. 98) 第60-69頁	1-8

THIS PAGE BLANK (USPTO)